

Musielli

olivetti

STAC - Servizio Addestramento Centrale

FDU: FLODISC e ALI 161

(ATTUAZIONE E ALIMENTAZIONE)

DESCRIZIONE DI FUNZIONAMENTO

Codice STAC: 660.15.1



F D U

FLODISC e ALI161 (attuazione e alimentatore)

Descrizione del funzionamento

Codice pubblicazione : 660.15.1

Codice aggiornamento: 02

Maggio 1977

INDICE

PRESENTAZIONE DELLA PIASTRA DI ATTUAZIONE "FLODISC"	pag.	1
DESCRIZIONE DEI SEGNALI SCAMBIATI CON IL GOVERNO DELL'FDU	"	2
DESCRIZIONE DELLO SCHEMA A BLOCCHI DELLA "SEZIONE ATTUAZIONE"	"	4
1) - Generazione della tensione di registrazione TERE	"	4
2) - Logica di macchina disponibile	"	4
3) - Partenza e controllo oscillatore	"	4
4) - Logica di posizione della testina	"	4
5) - Pilotaggio del motore passo-passo	"	4
6) - Logica di controllo disco in rotazione	"	4
7) - Logica di comando lampade di locale	"	5
8) - Logica di caricamento testina	"	5
1) GENERAZIONE DELLA TENSIONE DI REGISTRAZIONE TERE	"	6
1.1 Ritardatore	"	6
1.2 Switch TERE	"	7
2) LOGICA DI MACCHINA DISPONIBILE	"	8
2.1 Verifica tensioni e reset	"	8
2.2 Segnalazione di macchina disponibile	"	8
3) PARTENZA E CONTROLLO OSCILLATORE	"	9
3.1 Memorizzatore di via e divisore	"	9
3.2 Oscillatore	"	10
4) LOGICA DI POSIZIONE DELLA TESTINA	"	11
4.1 Contatore di traccia	"	11
4.2 Logica blocco oltrecorsa	"	12
4.3 Logica posizione traccia "00"	"	12
5) PILOTAGGIO DEL MOTORE PASSO-PASSO	"	13
5.1 Traslatore	"	13
5.2 Potenza	"	14
5.3 Logica di limitazione	"	15
6) LOGICA DI CONTROLLO DISCO IN ROTAZIONE	"	16
6.1 - 6.3 Squadratore di giro	"	16
6.2 Logica selezione giro	"	17
6.4 - 6.6 Contatore di giro	"	17
6.5 Logica selezione disco presente	"	18
7) LOGICA DI COMANDO LAMPADE DI LOCALE	"	19
8) LOGICA DI CARICAMENTO TESTINA	"	20

TECNICA DI REGISTRAZIONE USATA NELL'FDU	pag.	21
DESCRIZIONE DELLO SCHEMA A BLOCCHI DELLA "SEZIONE LETTURA - REGISTRAZIONE"	"	23
9) - Circuito di selezione testina	"	23
10) - Circuito di cancellazione	"	23
11) - Circuito di registrazione	"	23
12) - Amplificatore di lettura	"	23
- Circuito discriminatore	"	23
9) CIRCUITO DI SELEZIONE TESTINA	"	24
10) CIRCUITO DI CANCELLAZIONE	"	25
11) CIRCUITO DI REGISTRAZIONE	"	25
12) AMPLIFICATORE DI LETTURA	"	26
a) - Preamplificatore lineare	"	26
b) - Amplificatore derivatore	"	26
c) - Filtro di Bessel (passa - basso)	"	27
d) - Zero cross detector e formatore d'impulsi	"	27
FORME D'ONDA DELLA LETTURA	"	28
DESCRIZIONE DELLO SCHEMA A BLOCCHI DEL CIRCUITO DISCRIMINATORE.	"	30
14) - PL0: Oscillatore bloccato in fase	"	30
15) - Avvio oscillatore e recupero dell'errore di fase	"	30
16) - Generatore mastro discriminatore	"	30
17) - Controllo di corretta fasatura del mastro PLOC	"	30
18) - Abilitazione trasmissione dati verso governo	"	30
19) - Separatore bit-clock	"	30
PRINCIPIO DI FUNZIONAMENTO DEL CIRCUITO DISCRIMINATORE	"	32
LOGICA DI FUNZIONAMENTO DEL PL0: OSCILLATORE BLOCCATO IN FASE	"	33
DESCRIZIONE DEI CIRCUITI ELETTRICI DEL PL0	"	36
14A) - Generatore di corrente	"	36
14B) - Comparatore di livello e generatore d'impulsi	"	36
14C) - Circuito di azzeramento della rampa	"	37
14D) - Avvio dell'oscillatore	"	37
14E) - Circuito di abilitazione carica di C2		
14F) - Circuito di abilitazione confronto di fase	"	37
14G) - Amplificatore differenziale		
14H) - Generatore tensione di riferimento	"	38
LOGICA DI AGGANCIO E CONTROLLO CORRETTA FASATURA	"	39
15) AVVIO OSCILLATORE E RECUPERO DELL'ERRORE DI FASE		
16) GENERATORE MASTRO DISCRIMINATORE	"	40
17) CONTROLLO DI CORRETTA FASATURA DEL MASTRO PLOC		
18) ABILITAZIONE TRASMISSIONE DATI VERSO GOVERNO		
19) SEPARATORE BIT-CLOCK	"	40

ALLEGATO: DESCRIZIONE DEI CIRCUITI SPECIFICI DELLE PRIME 600 PIASTRE..	pag.	42
1.2 - Switch TECA - TERE	"	42
2.1 - Verifica tensioni e reset	"	42
4.1 - Contatore di traccia	"	42
- Regolatore	"	43
9 - Circuito di selezione testina	"	43
12d) - Zero cross detector e formatore d'impulsi	"	44
14B) - Comparatore di livello e generatore d'impulsi	"	44
14E) - Circuito di abilitazione carica di C2		
14F) - Circuito di abilitazione confronto di fase	"	44
15) - Avvio oscillatore e recupero dell'errore di fase	"	44
CONTROLLI E TARATURE	"	45
1) - CONTROLLO DELL'OSCILLATORE	"	45
2) - CONTROLLO DELL'OSCILLATORE ALLA PARTENZA	"	45
3) - CONTROLLO DELLA LOGICA DI LIMITAZIONE	"	45
4) - CONTROLLO DEL SEGNALE MALEN (SEZIONE L/R)	"	45
5) - CONTROLLO DELLA TENSIONE VS/2 SUL GENERATORE DELLA TEN- SIONE DI RIFERIMENTO	"	46
6) - CONTROLLO DELL'AMPLIFICATORE DIFFERENZIALE	"	46
7) - CONTROLLO DELL'OSCILLATORE V. F. 0. IN REGIME DINAMICO	"	46
8) - CONTROLLO DELLA TENSIONE VC1 AL DI FUORI DELLA FASE DI LET- TURA	"	46
9) - CONTROLLO DEL SEGNALE CEZEN	"	46
10) - CONTROLLO DEL SEGNALE ABMAN	"	46
ALI 161 - CARATTERISTICHE GENERALI	"	47
- Raddrizzatore e regolatore del +5V; protezione dai cortocircuiti e dalle sovratensioni	"	48
- Raddrizzatore e regolatore del +20V; protezione dai cortocircuiti e rete di condizionamento del +20 V	"	49
- Raddrizzatore della tensione +20P e -20V	"	51
CHIAVE DEI SIMBOLI IMPIEGATI SULLA DOCUMENTAZIONE LOGICA	"	52

INTRODUZIONE

A chi é rivolto questo libro

La logica di funzionamento é stata scritta per i tecnici che dovranno svolgere l'assistenza di 2L sull'FDU.

Per avere un'idea più precisa dell'unità il tecnico di 2L deve avere anche le conoscenze di quello a 1L; é quindi importante che il tecnico prima di iniziare lo studio di questo volume, abbia già visto il libro di 1L.

I contenuti di questo libro

In questo libro vi é la spiegazione del funzionamento della piastra di attuazione FLODISC (versione nuova e vecchia) e dell'ALI 161.

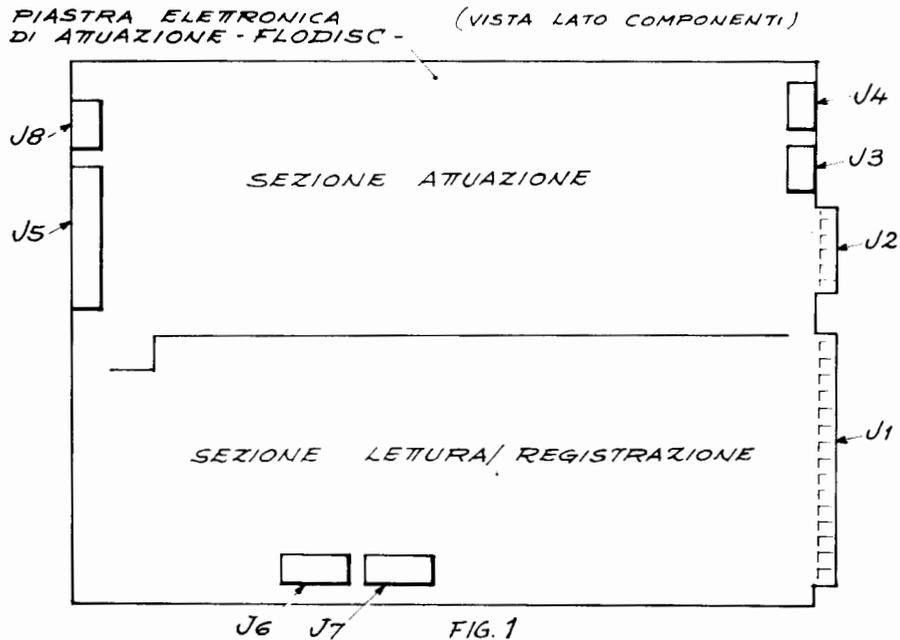
Come un tecnico 2L può completare la sua preparazione

I tecnici di 2L devono saper eseguire la riparazione dell'alimentatore e della piastra di attuazione; per la riparazione, l'unità FDU sarà collegata al sistema che é stato scelto dal laboratorio; é quindi necessario che i tecnici usino le norme di collaudo relative al sistema cui l'FDU stesso é collegato.

La spiegazione del funzionamento dei governi che si possono collegare all'unità FDU é scritta a parte sui libri specifici del governo interessato.

PRESENTAZIONE DELLA PIASTRA DI ATTUAZIONE FLODISC

Nel seguente capitolo esamineremo il funzionamento della piastra di attuazione, dapprima studiando lo schema a blocchi generale e poi esaminando in dettaglio i singoli blocchi. Da un punto di vista topografico si può dividere la piastra di attuazione come indica la figura 1.



La piastra può essere divisa praticamente in due parti:

- 1 - Logica di attuazione
- 2 - Logica di lettura/registrazione

Sulla piastra sono montati complessivamente 8 connettori. Essi hanno le seguenti funzioni:

- J1 - connettore di interfaccia con il governo
- J2 - connettore di interfaccia con l'alimentatore
- J3 - connettore della resistenza di limitazione
- J4 - connettore del motore passo-passo
- J5 - Connettore di collegamento verso la meccanica (micro switch, magneti, gruppi fotoemittitori e fotorivelatori)
- J6 - connettore della testina del disco "1" (disco superiore)
- J7 - connettore della testina del disco "2" (disco inferiore)
- J8 - connettore di collegamento lampade di locale.

I connettori J1 e J2 sono del tipo AMP-LEAF mentre i connettori J3, J4, J5, J6, J7, J8 sono del tipo AMP-MODU2.

NOTA

Sono stati prodotti due tipi di piastre di attuazione:

- il primo tipo è relativo alle prime 600 piastre uscite dalla produzione
- il secondo tipo è quello più recente ed è relativo alle piastre prodotte dopo le prime 600.

Si può dire che da un punto di vista logico non vi sono sostanziali differenze tra le due piastre; nel tipo più recente sono aboliti alcuni circuiti e cambiati dei componenti.

Le differenze importanti si notano nella diversa numerazione dei componenti e quindi nella loro diversa disposizione sulla piastra.

La descrizione dei circuiti che daremo nei capitoli successivi è relativa alla piastra di attuazione più recente; in un allegato daremo invece la descrizione relativa alla piastra di tipo vecchio solo per circuiti che si differenziano dagli altri.

La raccolta schemi per il tecnico sarà doppia in quanto avrà entrambe le versioni.

Prima di passare alla descrizione degli schemi a blocchi della piastra di attuazione vediamo quali sono i segnali di interfaccia usati tra governo e piastra di attuazione FLODISC indicandone la loro direzione di lavoro:

GOVERNO / FLODISC

. Via Ricerca - - - - -	→	VIRIA -
. Direzione Ricerca - - - - -	→	DIRIA -
. Passo avvenuto - - - - -	←	PAVAA -
. Carrello intraccia 00 - - - - -	←	PIZEA -
. Macchina disponibile - - - - -	←	MADIA -
. Caricamento Testina - - - - -	→	CATEA -
. Selezione Disco - - - - -	→	SEDIA -
. Segnale di Giro - - - - -	←	INDEA -
. Ordine di Registrazione - - - - -	→	ORREA -
. Informazioni di Registrazione - - - - -	→	INREA -
. Ordine di Lettura - - - - -	→	ORLEA -
. Bit Letti - - - - -	←	BILEA -
. Clock Letti - - - - -	←	COLEA -
. Cancellazione - - - - -	→	ERGAA -
. Locale Disco 1 - - - - -	→	LOC1A -
. Locale Disco 2 - - - - -	→	LOC2A -
. Disco Presente - - - - -	←	DIPEA -

Di seguito viene data una breve spiegazione della funzione dei segnali sopra elencati.

- VIA RICERCA (VIRIA)

Questo segnale lavora con il livello e normalmente si trova alto. Quando va basso abilita la ricerca. Esso deve rimanere a livello basso per tutto il tempo di ricerca.

- DIREZIONE RICERCA (DIRIA)

Questo segnale lavora con il livello. Quando é alto indica ricerca indietro (verso la pista 00). Quando é basso indica ricerca avanti (verso la pista 76). Questo segnale deve tenere la posizione fino a quando non si decide di cambiare direzione. All'accensione dell'unità, fino a quando non viene dato il segnale di "macchina disponibile" questo segnale deve rimanere a livello alto.

- PASSO AVVENUTO (PAVAA)

Questo segnale é un impulso di circa $10 + 20 \mu s$ attivo quando si trova a livello basso. Viene trasmesso al governo un impulso corrispondente allo spostamento di una traccia.

- CARRELLO IN TRACCIA "00" (PIZEA)

Questo segnale indica, quando é a livello basso, che il carrello si trovain traccia 00. Esso rimane a livello basso per tutto il tempo in cui il carrello si trova fermo sulla posizione 00.

La ricerca successiva, sarà possibile solo se il segnale di "DIREZIONE RICERCA" si trova a livello basso.

- MACCHINA DISPONIBILE (MADIA)

Questo segnale lavora con il livello e quandoé basso, indica che sono presenti sulla piastra dell'attuazione le tensioni $+5 +20$ e -20 , che ci sono gli sportelli chiusi e che é avvenuto un reset iniziale. La durata del reset iniziale copre il tempo di accelerazione del motore del mandrino e l'andata a regime delle tensioni.

- CARICAMENTO TESTINA (CATEA)

Questo segnale lavora con il livello e normalmente si trova alto. Quando va a livello basso comanda il caricamento della testina relativa al disco selezionato e deve essere mantenuto tale per tutto il tempo di lettura o registrazione. Tra il comando di caricamento testina e quello di lettura/registrazione é necessario attendere circa 40 msec.

- SELEZIONE DISCO (SEDIA)

Questo segnale lavora con il livello e normalmente si trova alto. Esso deve essere a livello basso solo quando si vuole operare con il secondo disco.

- SEGNALE DI GIRO (INDEA)

Questo segnale é un impulso di circa 1,5 msec. attivo quando é a livello basso. Esso viene trasmesso al governo ogni volta che il disco effettua un giro.

- LOCALE 1 (LOC1A)

Questo segnale lavora con il livello e normalmente si trova alto. Quando va basso comanda l'accensione della relativa lampada.

- LOCALE 2 (LOC2A)

Questo segnale lavora con il livello e normalmente si trova alto. Quando va basso comanda l'accensione della relativa lampada.

- DISCO PRESENTE (DIPEA)

Questo segnale lavora con il livello; esso si trova a livello basso solo se il disco selezionato é presente ed é in rotazione.

- ORDINE DI REGISTRAZIONE (ORREA)

Un livello basso su questa linea abilita la connessione tra il circuito di scrittura e la testina selezionata.

- CANCELLAZIONE (ERGAA)

Un livello basso su questo filo abilita il passaggio della corrente di cancellazione nel corrispondente avvolgimento.

- INFORMAZIONI DI REGISTRAZIONE (INREA)

Questa linea fornisce impulsi negati di circa 0,3 μ sec., sul fronte di salita dei quali avvengono le inversioni di corrente nell'avvolgimento della testina di scrittura.

- ORDINE DI LETTURA (ORLEA)

Un livello basso su questa linea abilita la lettura dei dati dal disco. Quando la testina é abilitata per la scrittura questo segnale deve essere alto.

- BIT LETTI (BILEA)

Questa linea fornisce degli impulsi negati di 0,3 μ sec. in corrispondenza dei dati letti sul disco.

- CLOCK LETTI (COLEA)

Questa linea fornisce degli impulsi negati di 0,3 μ sec. in corrispondenza dei clock letti sul disco.

DESCRIZIONE DELLO SCHEMA A BLOCCHI DELLA "SEZIONE ATTUAZIONE"

Descriviamo ora, seguendo lo schema a blocchi della figura 2, il funzionamento generale della piastra di attuazione di tipo più recente; la descrizione è relativa solo alla "SEZIONE ATTUAZIONE"; la sezione lettura-registrazione verrà esaminata in seguito.

Come si può notare in figura 2 il circuito è stato suddiviso in 8 blocchi; in ogni blocco vi è scritto il numero corrispondente.

1) Generazione della tensione di registrazione TERE

Questo circuito ha il compito di dare in uscita la tensione di registrazione TERE che va a lavorare sui circuiti di lettura e registrazione. Questa tensione è disponibile quando il +20 in ingresso è a regime.

2) Logica di macchina disponibile

Il segnale RESI rappresenta il segnale di reset dei circuiti di attuazione; è un impulso di ~ 5 sec. ed è controllato da TERE0, +5, +20, -20. L'altro segnale d'uscita MADI (macchina disponibile) nasce quando gli sportelli di introduzione dei dischi sono chiusi (SPOC0=1). Infatti il microinterruttore MCS rappresenta l'abilitazione per il segnale MADI, che va poi a lavorare sul governo del floppy-disk.

3) Partenza e controllo oscillatore

Il segnale d'uscita dell'oscillatore OSCI viene generato quando il governo invia il segnale VIRI (via ricerca della traccia con l'abilitazione di MADI; normalmente l'oscillatore è bloccato e viene abilitato solo quando si vogliono effettuare delle ricerche.

L'altro segnale d'uscita PAVA (passo avvenuto) viene inviato al governo; esso nasce ogni due impulsi dell'oscillatore che servono per comandare lo spostamento di due passi del motore e quindi lo spostamento di una traccia del carrello.

4) Logica di posizione della testina

Il compito principale di questo circuito è di generare CLOC che va a lavorare sul circuito di pilotaggio del motore per comandarne il movimento passo-passo. In una ricerca normale CLOC ripete il segnale dell'oscillatore OSCI; però se da governo arriva un comando di ricerca traccia che supera il campo operativo del carrello (oltre la pista 00 oppure oltre la traccia 76) il segnale CLOC è disabilitato e quindi è bloccato il movimento del motore.

Oltre a RESI (segnale di reset) gli ingressi del circuito sono OSCI, PAVA, DIRI e 2FFT; DIRI che significa direzione ricerca serve ad indicare se il carrello deve andare avanti oppure indietro.

Un altro compito di questo circuito è di segnalare la presenza della testina in traccia 76; ciò viene fatto tramite un contatore che conta gli spostamenti avanti e indietro del carrello.

La presenza della testina in pista 00 è indicata dal segnale POZE data dal micro-switch MPO; l'uscita PIZE (traccia 00) va a lavorare poi sul governo, con l'arrivo di 2FFT che significa motore in fase A.

5) Pilotaggio del motore passo-passo

Il compito principale di questo circuito è di far nascere i segnali di eccitazione del motore: FASA, FASB, FASC; a seconda della successione di questi tre segnali il motore si muove avanti o indietro; infatti in ingresso oltre al segnale CLOC vi è anche DIRI che indica appunto la direzione della ricerca traccia. I tre segnali di eccitazione vanno a lavorare sulle fasi del motore e il segnale d'uscita 2FFT, che indica il motore in fase A, va a controllare la logica di posizione della testina.

Sul filo comune di alimentazione del motore c'è il segnale COFA0; poiché il motore lavora in ricerca traccia oppure è fermo, tramite COFA0 si forniscono due correnti diverse.

6) Logica di controllo disco in rotazione

Un compito di questo circuito è quello di generare il segnale di giro INDE e trasmetterlo al governo; il segnale INDE nasce sia per il disco 1 che per il 2, infatti è il governo che seleziona uno dei due dischi tramite SEDI (selezione disco). Ogni giro del disco (1 o 2) viene rilevato dai fototransistor FT1, FT2 che trasmettono un impulso (IND10 o IND20) quando sono colpiti dai raggi dei fotoemittitori D1/1 o D1/2. Ogni disco ha infatti un foro dove passano i raggi emessi. Ciò è necessario per ricavare un impulso per la sincronizzazione della lettura e della registrazione.

I due segnali PRE10 o PRE20 indicano la presenza del disco selezionato dopo che esso ha compiuto due giri; questi segnali sono quindi abilitati dai segnali DI P1, DI P2 e MADI; DIP1 e DIP2 sono controllati dai micro-switch di presenza disco.

Il segnale d'uscita DIPE (presenza disco) viene inviato al governo se è presente il disco selezionato da SEDI, e se il disco ha compiuto due giri di rotazione.

7) Logica di comando lampade di locale

Il circuito pilota le due lampade di locale; esse si accendono rispettivamente se manca uno dei due segnali PRE10 e PRE20 che indicano non solo la presenza del disco selezionato ma anche la sua rotazione di almeno due giri.

Le due lampade possono essere anche accese dal governo tramite i segnali LOC1 e LOC2 per indicare all'operatore di sostituire il rispettivo disco.

8) Logica di caricamento testina

Il circuito serve ad eccitare l'elettromagnete di ciascun disco, per comprimere quest'ultimo contro la rispettiva testina, durante la lettura o la registrazione. Anche in questo caso sarà selezionato il disco da SEDI mentre il comando CATE (caricamento testina) che arriva da governo, darà il momento di eccitazione di ciascun elettromagnete.

PIASTRA DI ATTUAZIONE: SCHEMA A BLOCCHI DELLA "SEZIONE ATTUAZIONE"

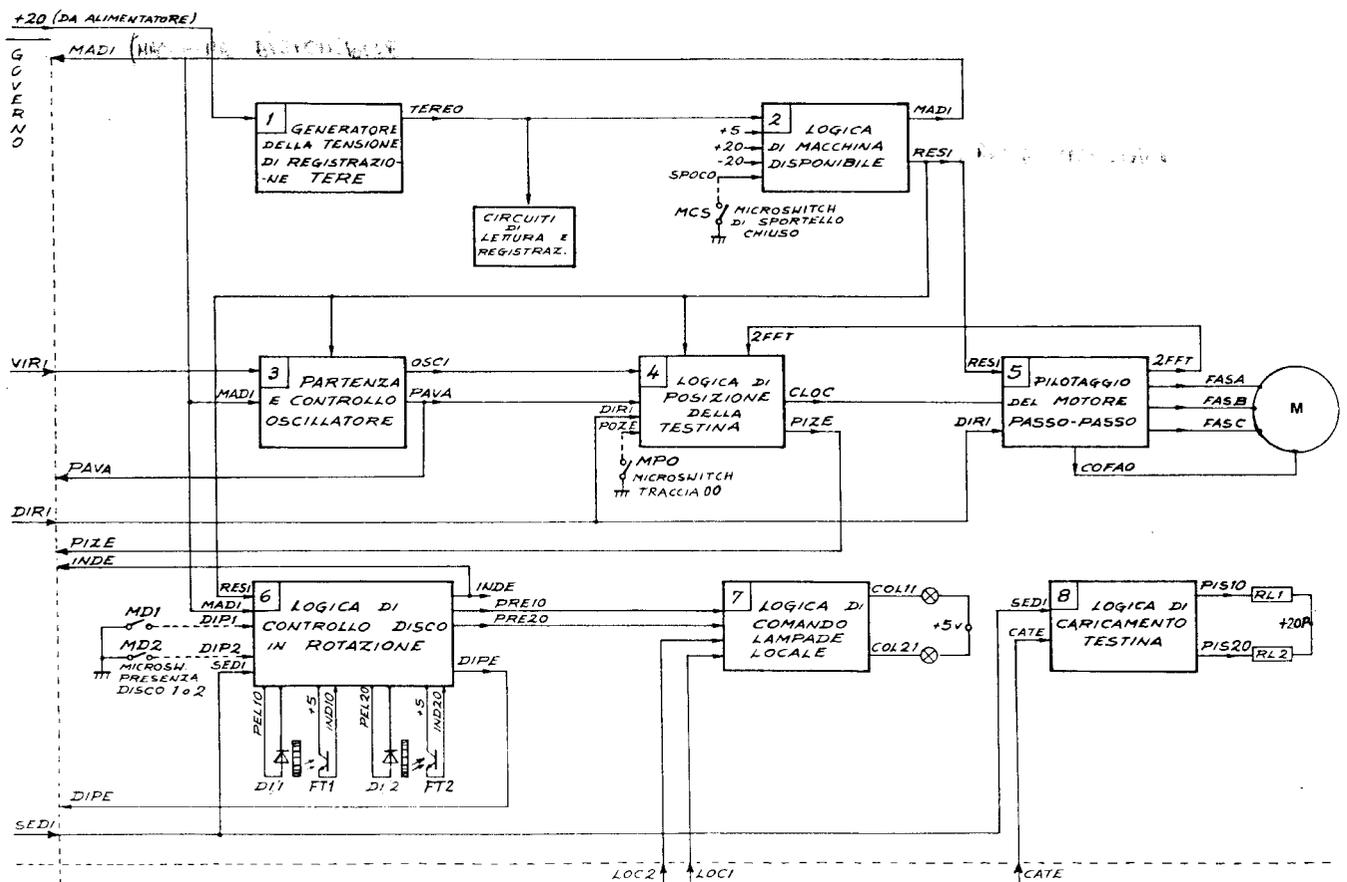


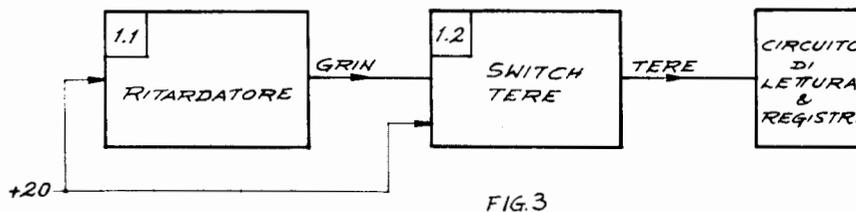
FIG.2

Vediamo ora di spiegare più in dettaglio il funzionamento dei circuiti degli 8 blocchi. Come è già stato detto in precedenza la descrizione è relativa alla piastra di tipo più recente e quindi ai rispettivi schemi DISE. Si usano gli schemi DISE (disegno schemi elettrici) anziché i DISL (disegno schemi logici); infatti la distinzione tra DISE e DISL dipende dal tipo di piastra su cui sono montati i circuiti. Possiamo però dire che i simboli dei componenti non sono molto diversi per i due casi.

1) GENERATORE DELLA TENSIONE DI REGISTRAZIONE TERE



Questo circuito può essere suddiviso come segue (Fig. 3)



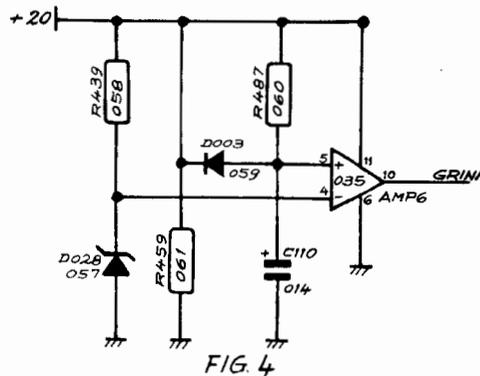
Si può notare che il +20 va sul circuito ritardatore che genera il segnale GRIN dopo un certo tempo; GRIN abilita la generazione della tensione TERE che a sua volta va a lavorare sul circuito di lettura-registrazione.

1.1 Ritardatore

Praticamente questo circuito ha tre funzioni e più precisamente:

- 1 - Abilitare la tensione di registrazione quando le tensioni sono a regime e la logica è stata resettata.
- 2 - Generare l'impulso di reset.
- 3 - Coprire il tempo di avviamento del motore del mandrino.

Questo circuito è rappresentato in Fig. 4.



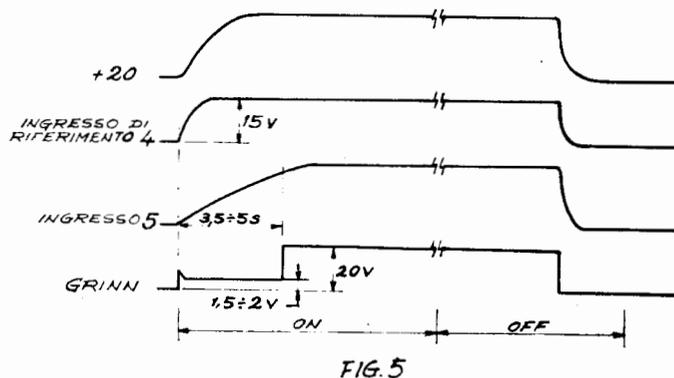
Per la realizzazione di questo temporizzatore è impiegato un operazionale AMP6 del tipo L741C. Il suo ingresso invertitore 4 è collegato a un riferimento di 15V dato dallo zener 057 e dalla resistenza 058.

L'ingresso 5 dell'operazionale è collegato a un gruppo R. C. che definisce appunto la costante di tempo del circuito. La resistenza 061 e il diodo 059 servono per scaricare velocemente il condensatore allo spegnimento dell'unità. Il funzionamento è il seguente:

Quando si dà tensione all'unità il +20 sale con il suo andamento. Il riferimento si porta a +15V e il condensatore inizia a caricarsi. In tutti i casi la tensione ai capi del condensatore rimane più bassa della tensione di riferimento fino a quando non si supera il valore di zener (15V.).

In questa fase l'uscita dell'operazionale è ad una tensione compresa tra 1,5 e 2V che viene considerato livello basso. Quando la tensione ai capi del condensatore supera quella di riferimento, l'uscita dell'operazionale si porta a +20 e vi rimane fino allo spegnimento dell'unità.

Le temporizzazioni di questo circuito sono indicate in Fig. 5.



1.2 Switch TERE

Questo é il circuito con il quale si abilita la tensione di registrazione. Esso é costituito da un transistor di tipo IW4098 usato come switch e dal relativo circuito di pilotaggio.

Lo schema si vede in Fig. 6.

Sull'ingresso del circuito di pilotaggio é inserito uno zener la cui V_z é di 12V. Questo zener serve a non lasciar passare eventuali disturbi che possono nascerre all'istante dell'accensione sull'uscita dell'operazionale (GRINN).

Il transistor 064 si trova interdetto quando GRINN é a livello basso e pertanto lo switch 066 é in condizione OFF. Quando GRINN va a livello alto il transistor 064 si satura e fa circolare nella base di 066 la corrente necessaria per portare lo stesso in condizioni ON e di conseguenza abilitare TERE0.

Le temporizzazioni di questo circuito sono indicate in Fig. 7.

Si ricorda che il +20 che alimenta i circuiti di registrazione e cancellazione deve avere, all'accensione e allo spegnimento, un andamento come in Fig. 8.

Come si vede questa tensione deve andare a regime in meno di 3 secondi e allo spegnimento deve scendere a meno di 10V in $1,5 \pm 2 \mu\text{sec}$.

Una discesa così rapida é richiesta per evitare incertezze di funzionamento dello switch e le conseguenti possibili "MACCHIE" sulla registrazione.

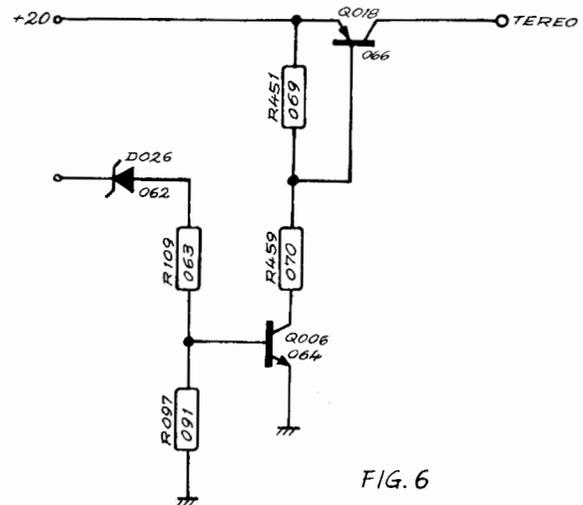


FIG. 6

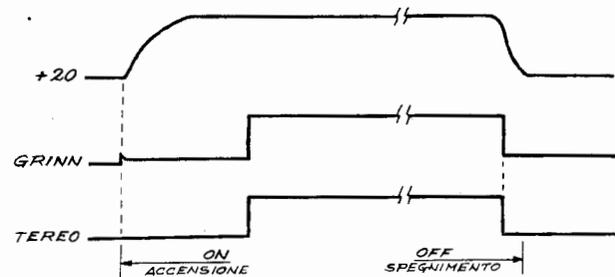


FIG. 7

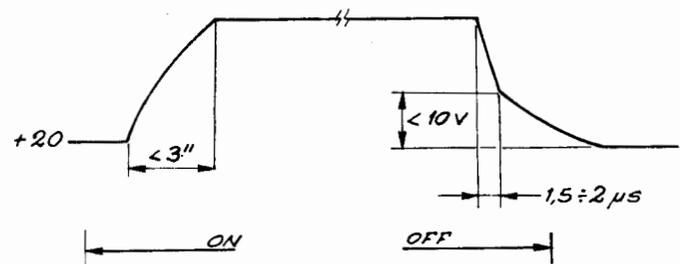
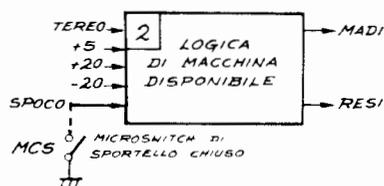


FIG. 8

2) LOGICA DI MACCHINA DISPONIBILE



Il circuito può essere diviso come in Fig. 9

Le quattro tensioni TERE0, +5, +20, -20 sono gli ingressi del circuito di "verifica tensioni" che genera l'impulso di reset RESI; il segnale di macchina disponibile MADI nasce dopo un reset e con il micro-switch MCS chiuso; il micro MCS è chiuso quando sono chiusi entrambi gli sportelli dei due dischi.

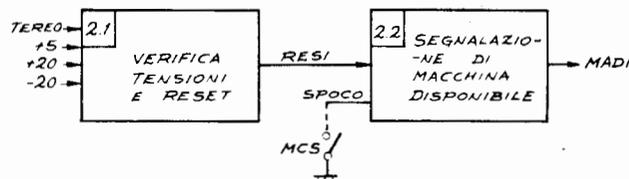


FIG. 9

2.1 Verifica tensioni e reset

Questo circuito ha due funzioni:

- 1 - Verificare la presenza delle tensioni;
- 2 - Generare un impulso di reset.

La verifica delle tensioni è del tipo grossolano in quanto viene usata una normale porta TTL. Le varie tensioni vengono convertite in livelli compatibili con la logica TTL e più precisamente sono usati:

- partitore per il +20.
- partitore + inverter per il -20
- partitore per il TERE0
- direttamente il +5.

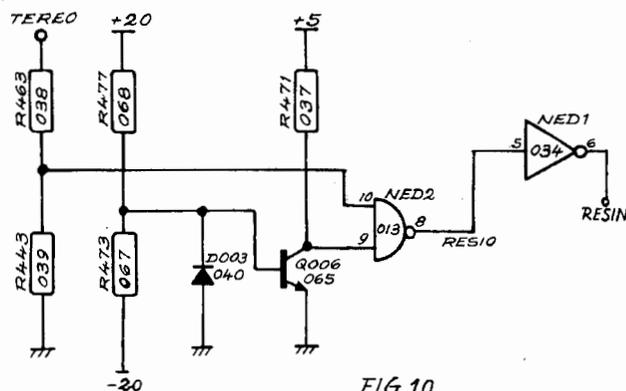


FIG. 10

Come si può vedere dallo schema di Fig. 10 l'uscita del NED2 (RESI0) va a livello alto con l'andamento del +5 e vi rimane fino a quando il +20, il -20 e il TERE0 non sono a regime.

Se si considera che il TERE0, rispetto al +20, sale con circa 5s di ritardo, si avrà in uscita (RESI0) un impulso della stessa durata che è appunto il segnale di reset.

2.2 Segnalazione di macchina disponibile

Questo circuito è indicato in Fig. 11.

Esso, come si può vedere è molto semplice. L'uscita MADI0 è condizionata dal fatto che sia terminata la fase di reset iniziale e che ci siano gli sportelli chiusi.

Il segnale MADI0, dopo i primi 5 secondi, è condizionato dagli sportelli del Floppy. Questo segnale va a livello basso tutte le volte che si apre uno dei due sportelli o entrambi.

Anche in questo circuito per evitare i rimbalzi del micro, si è usato un F.F. settato e resettato dal micro stesso.

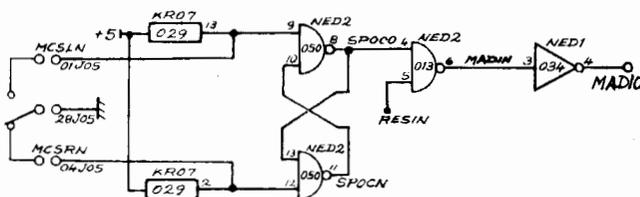
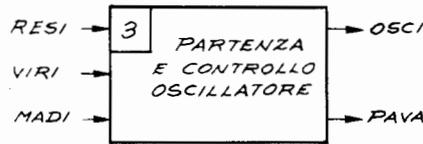


FIG. 11

3) PARTENZA E CONTROLLO OSCILLATORE



Il circuito si può suddividere come in Fig. 12:

Il segnale RESI resetta il circuito di memorizzazione di via e divisore; se c'è la macchina disponibile e da governo arriva VIRI (via ricerca), nasce il segnale ABL0 che memorizza appunto la ricerca in corso; in tal modo può partire l'oscillatore e generare OSCE che, diviso in frequenza, genera PAVA.

Il segnale PAVA dice passo avvenuto in quanto nasce ogni due OSCE cioè dopo lo spostamento di due passi del motore (e quindi di una traccia).

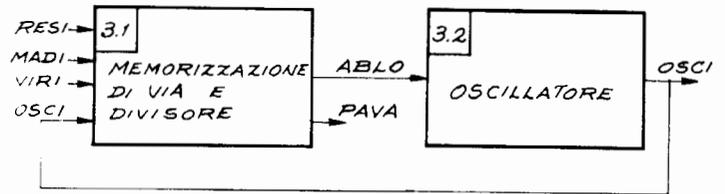


FIG. 12

3.1 Memorizzazione di via e divisore

La funzione di questo circuito è quella di memorizzare il segnale di VIA e far sì che il reset del medesimo sia possibile solo quando l'oscillatore ha generato un numero pari di impulsi e, nello stesso tempo, di trasmettere al governo solo gli impulsi pari.

Infatti essendo necessari due passi del motore per effettuare lo spostamento di una traccia è necessario inviare al governo il secondo di ogni coppia di impulsi e a fine ricerca essere sicuri di bloccare l'oscillatore solo dopo che ha generato un impulso pari.

Il circuito che realizza quanto sopra descritto è indicato in Fig. 13 e impiega un doppio F. F. del tipo 9022 più alcune porte di condizionamento.

Il primo F. F. fa da divisore per due e le sue temporizzazioni sono come in Fig. 14. Come si vede in Fig. 14 gli impulsi 2-4-6 vengono discriminati durante DIV10 e generano PAVA0.

La seconda parte del circuito serve per la memorizzazione del segnale di VIA; viene usato allo scopo un F. F. settato in diretta da VIRI1 condizionato da macchina disponibile (MADI) e viene resettato dalla mancanza di VIRI1 o di MADI in DIV1N. Il J e il K di questo F. F. sono stati messi rispettivamente a massa e a +5V per neutralizzare l'azione del clock comune al F. F. divisore.

Le temporizzazioni per una ricerca di 3 tracce e con VIRI1 che va a livello basso dopo il 3° PAVA0 sono indicate in Fig. 15; il segnale VIRI1 è controllato dal governo che lo dispone a livello basso dopo aver ricevuto il numero di PAVA0 relativo al numero di tracce da ricercare.

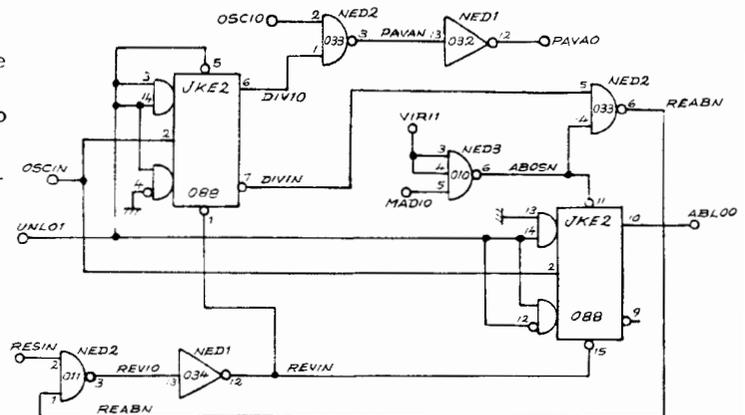


FIG. 13

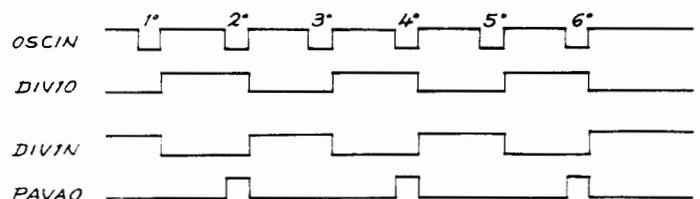


FIG. 14

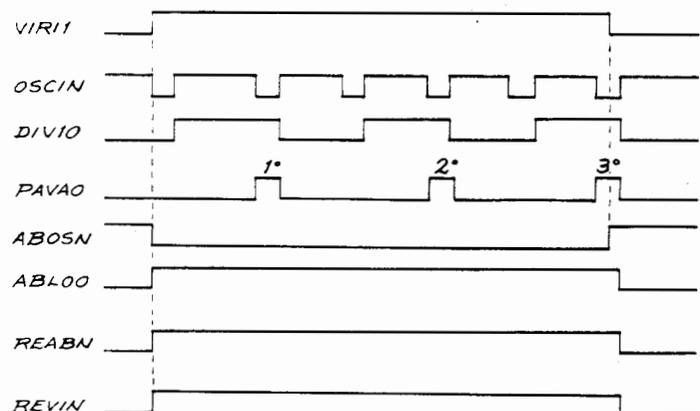


FIG. 15

3.2 Oscillatore

La funzione di questo circuito é quella di generare gli impulsi da mandare al "traslatore" che comanda il motore passo-passo. Normalmente questo oscillatore é bloccato e lo si abilita solo quando si vogliono effettuare delle ricerche.

Rispetto al segnale di abilitazione l'uscita dell'oscillatore deve essere come in Fig. 16.

Come si vede in Fig. 16 l'oscillatore parte in concomitanza del fronte di salita di ABL00 e genera un impulso di durata T3. Si può notare che solo dopo il secondo impulso l'oscillatore genera un segnale a frequenza costante mentre tra il primo ed il secondo impulso il periodo é più grande.

Ciò é stato fatto per pilotare il motore passo-passo alla partenza; infatti alla partenza del motore é necessaria una coppia più grande di quella che occorre quando il motore é già in movimento. Aumentando il periodo del primo impulso si aumenta anche la corrente fornita al motore e quindi l'energia fornita allo spunto.

Dopo essere stato avviato, il motore può essere alimentato sempre con frequenza costante degli impulsi (Tutto questo si potrà vedere meglio studiando il circuito del motore).

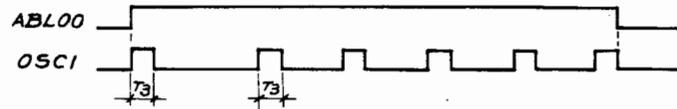


FIG. 16

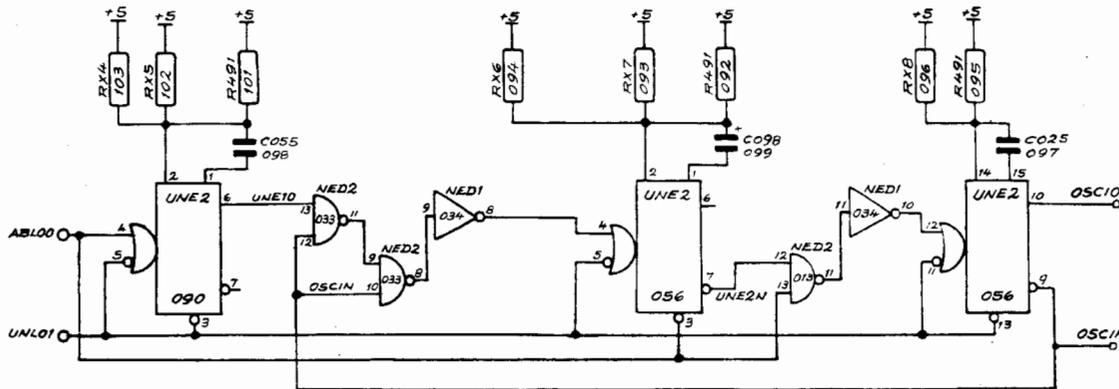


FIG. 17

Per realizzare un oscillatore con le caratteristiche indicate sono stati usati tre univibratori come indica lo schema di figura 17.

Il primo univibratore (UNE1) determina il tempo T1 come indica la figura 18; il secondo univibratore (UNE2), che determina il tempo T2, parte la prima volta solo alla caduta del segnale UNE1; il terzo univibratore (OSC10) é controllato da UNE2 e può partire solo quando UNE2 va a 0; poiché dal secondo impulso in avanti UNE2 non é più bloccato da UNE1, significa che la frequenza d'uscita di OSC10 é costante. OSC10 genera il tempo T3.

Il controllo di UNE1 su UNE2 determina appunto il periodo del primo impulso, più grande di quello degli impulsi successivi poiché si somma T1 a T2.

I tempi tipici di questo oscillatore sono i seguenti:

$$\begin{aligned} T1 &= 1,5 \text{ ms} \\ T2 &= 5 \text{ ms} \\ T3 &= 10 \text{ } \mu\text{s} \end{aligned}$$

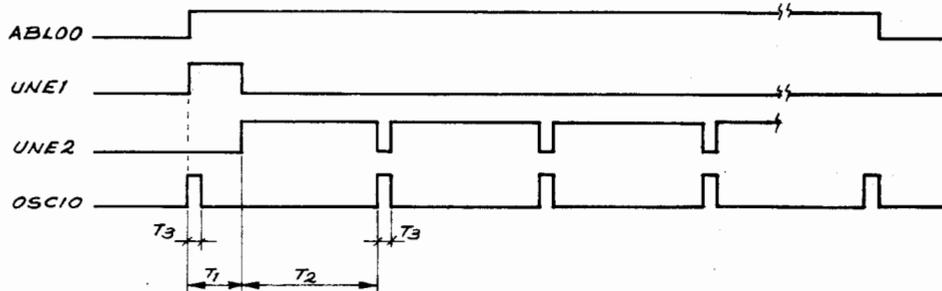
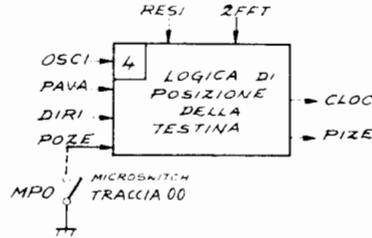


FIG. 18

4) LOGICA DI POSIZIONE DELLA TESTINA



Il circuito è stato così suddiviso (Fig. 19):

Il contatore di traccia viene azzerato da RESI (cioè all'accensione della macchina) oppure quando nasce il segnale PIZE (carrello in traccia 00); il contatore è abilitato a contare in avanti o indietro dal segnale DIRI (direzione ricerca) e il suo clock è MAS1 che arriva dalla logica di blocco oltrecorsa.

La logica blocco oltrecorsa genera anche il segnale CLOC per eccitare le fasi del motore; però sia CLOC che MAS1 sono bloccati quando il carrello giunge in traccia 00 e in traccia 76 (nascita di PI 76) se il segnale DIRI comanda una ricerca al di fuori del campo operativo del carrello.

Il segnale PIZE nasce quando il carrello, durante il suo movimento, chiude il micro MP0 di traccia 00 con il controllo di 2FFT che rappresenta il decodificato della fase A del motore.

Poiché il carrello dalla traccia 00 può muoversi solo in avanti, occorre che il motore abbia la fase A eccitata. Questo si vedrà meglio studiando il circuito del motore.

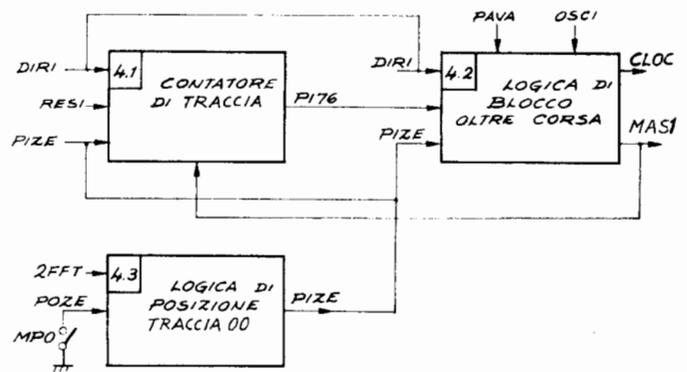


FIG. 19

4.1 Contatore di traccia

Questo circuito ha la funzione di segnalare in quale traccia si trova il carrello; da questo circuito esce il segnale PI76N. Questo segnale va a livello basso quando si arriva in traccia "76".

Esso rimane a livello alto quando il carrello si trova tra la traccia "00" e la "75". Lo schema è indicato in Fig. 20.

Sono stati usati dei contatori binari avanti-indietro tipo SN74193.

Il clock di questo contatore è MAS10 che nasce dalla logica blocco oltrecorsa.

Il condizionamento per far contare avanti o indietro è dato da DIRI che abilita la conta sull'ingresso 5 (avanti) oppure 4 (indietro) del contatore SN74193.

Questo contatore è resettato all'accensione e, successivamente tutte le volte che il carrello arriva in traccia "00" (PIZE0 a "1").

Questo accorgimento serve per far contare il contatore e il carrello tutte le volte che quest'ultimo passa in traccia "00".

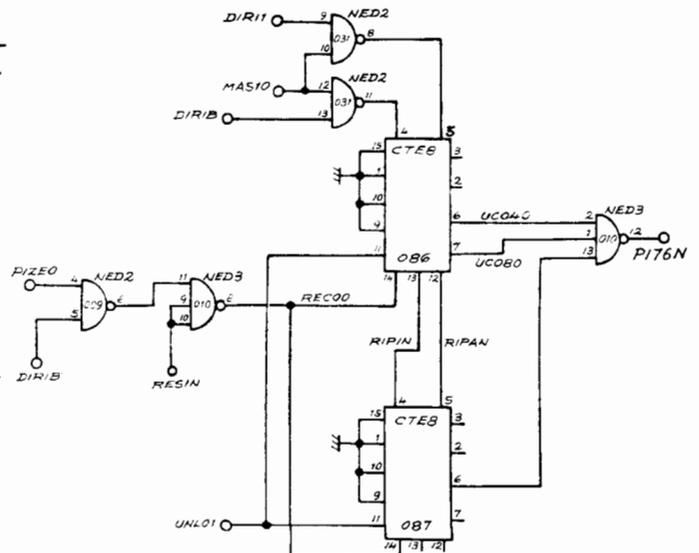


FIG. 20

4.2 Logica blocco oltrecorsa

La funzione di questo circuito é quella di non lasciar passare gli impulsi dell'oscillatore quando ci si trova in traccia 00 e si comanda una ricerca con direzione "indietro" e quando ci si trova in traccia 76 e si comanda una ricerca con direzione "avanti".

In altre parole questo circuito blocca il traslatore del motore passo-passo quando si va oltre il campo operativo del carrello.

Questa logica condiziona anche il segnale MAS10 che comanda il contatore di traccia (il blocco di MASIC é necessario per non perdere il sincronismo tra il carrello e il contatore di traccia). Questo circuito é estremamente semplice ed é riportato in Fig. 21.

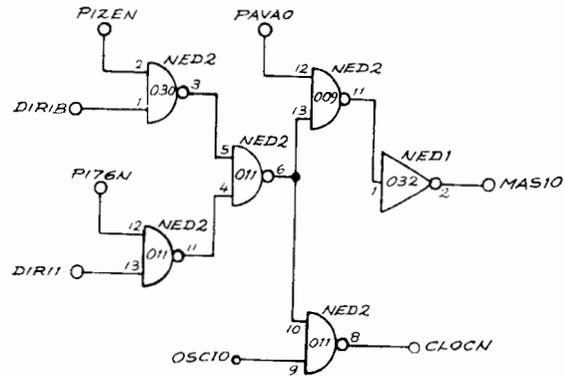


FIG. 21

4.3 Logica posizione traccia "00"

La funzione di questo circuito é di segnalare la presenza del carrello in traccia "00".

Per l'identificazione della traccia "00" si usa un micro-switch che dá un segnale circa 0,2 mm prima della vera posizione di "00".

Questo segnale del micro viene trasmesso al governo solo in presenza della fase "A" del motore, cioè quando il segnale 2FFTN é a 1.

Il circuito é indicato nella figura 22.

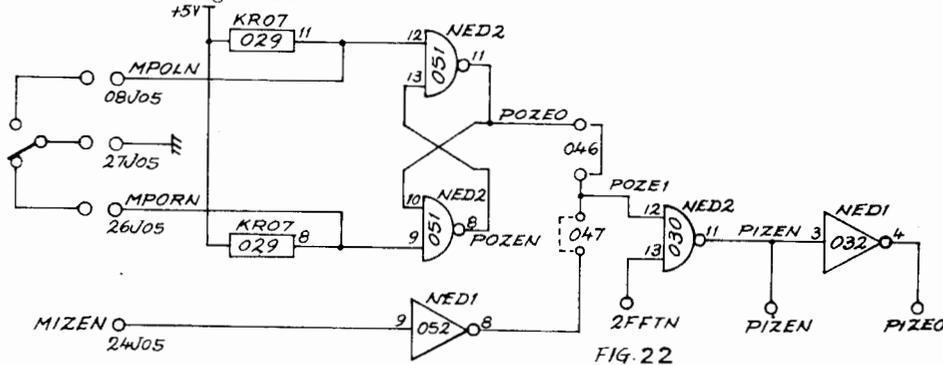


FIG. 22

Per evitare che il segnale POZE0 risenta dei rimbalzi del micro switch si é usato un F.F. Le temporizzazioni di questo circuito sono indicate in Fig. 23.

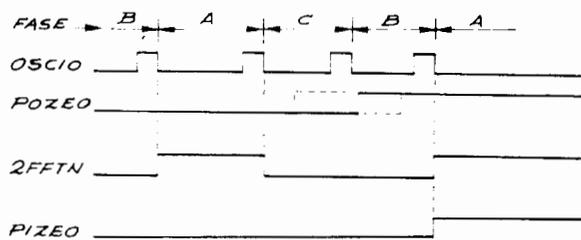
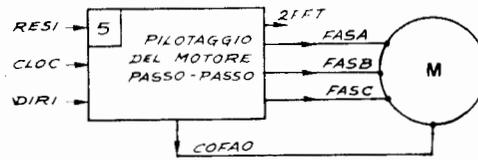


FIG. 23

Il segnale MIZEN é previsto in caso di un eventuale uso di un fototransistor al posto del micro-switch MP0.

5) PILOTAGGIO DEL MOTORE PASSO-PASSO



Il circuito può essere suddiviso come in Fig. 24.

Il traslatore ha il compito di determinare la sequenza di eccitazione delle fasi del motore controllando la sequenza dei segnali PIFA, PIFB, PIFC; ciò è determinato da DIRI (direzione ricerca), in modo da far muovere il motore avanti o indietro, e da CLOC che è il mastro di un contatore.

Il segnale 2FFT, come si è già visto, serve anche ad eccitare la fase A del motore quando la testina è sulla traccia 00.

Il circuito di potenza serve come circuito di comando del motore e quindi a generare i segnali, FASA, FASB, FASC, di eccitazione delle tre fasi del motore.

Sul quarto filo, che rappresenta il filo comune delle tre fasi, lavora il segnale COFA0;

esso fa passare due correnti di eccitazione di valore diverso a seconda che il motore sia in ricerca traccia oppure fermo. Il circuito di limitazione ha proprio il compito di distribuire la corrente su COFA0 nelle due situazioni di lavoro del motore.

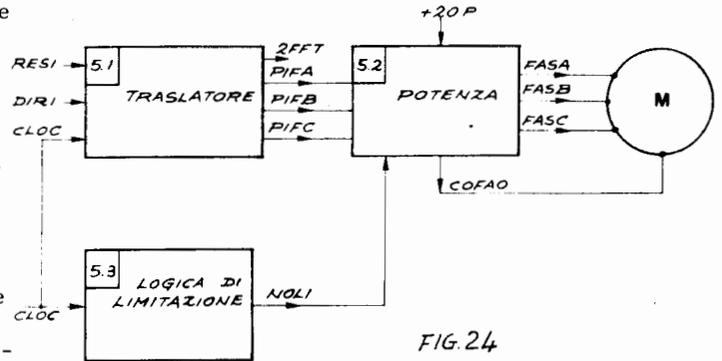


FIG. 24

5.1 Traslatore

Questo circuito determina la sequenza di eccitazione delle fasi del motore passo-passo nei due sensi. Quando si vuole andare dalla traccia 00 verso la 76 la sequenza di eccitazione deve essere A-B-C mentre quando si vuole andare dalla traccia 76 verso la 00 la sequenza deve essere C-B-A. Come si vede, il traslatore non è altro che un contatore avanti-indietro modulo 3 in cui le condizioni dei due F. F. sono come in Fig. 25.

CONDIZIONI DI RESET	1FF	2FF	FASE "A"	FASE "B"	FASE "C"
1° PASSO AVANTI	1	0	1	1	0
2° PASSO AVANTI	0	1	0	1	1
3° PASSO AVANTI	1	0	1	0	1

FIG. 25

Il circuito del traslatore è indicato in Fig. 26

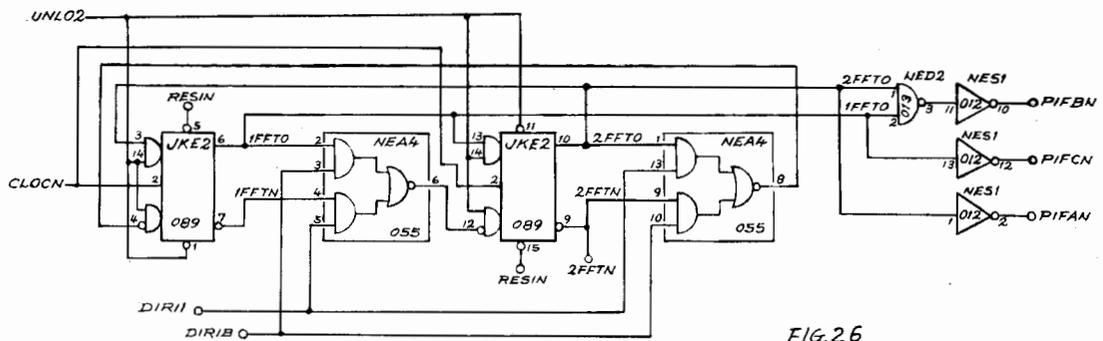


FIG. 26

In Fig. 27 sono indicate le temporizzazioni per una ricerca avanti di 3 tracce (6 passi motore) a partire dalla traccia 00 e una successiva ricerca indietro di 2 tracce (4 passi motore).

Come si vede dalla Fig. 27 quando 1FFTO è a livello basso viene eccitata la fase "C", quando è a livello basso 2FFTO viene eccitata la fase "A" e in (1FFTO - 2FFTO) viene eccitata la fase "B".

I segnali 1FFTO, 2FFTO e (1FFTO - 2FFTO) sono disaccoppiati dal circuito di potenza tramite un 7416 (open collector).

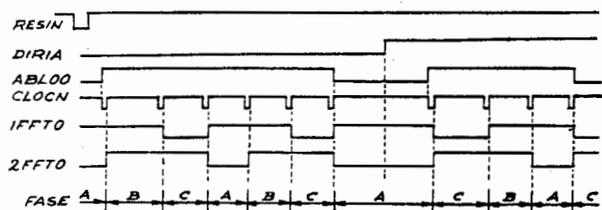


FIG. 27

5.2 Potenza

Questo circuito comanda direttamente il motore passo-passo e la logica di limitazione. Come si vede in Fig. 28, il motore ha le tre fasi collegate direttamente ai collettori dei darlington e il comune alla resistenza di limitazione, che serve appunto a limitare la corrente del filo comune COFA0 quando il motore è fermo.

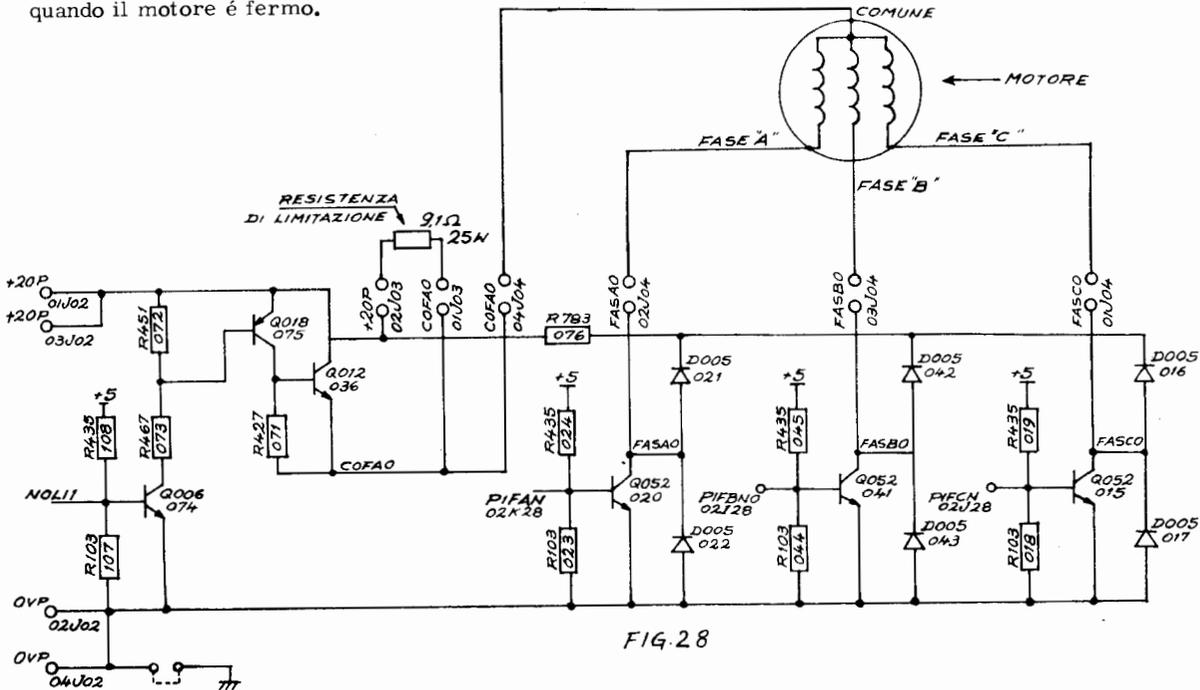


FIG.28

Durante le ricerche il transistor 036 è in condizione ON (NOL1 = 1) e pertanto la resistenza di limitazione è cortocircuitata e di conseguenza la corrente del motore sarà massima.

Alla fine della ricerca il transistor 036 si riporta in condizione OFF. Si viene così a trovare una resistenza di 9,1Ω in serie al motore con un conseguente dimezzamento della corrente.

La resistenza di limitazione, considerata la sua dissipazione, è montata direttamente sul telaio del floppy.

In parallelo alle fasi del motore è montato il circuito di spegnimento costituito dai diodi 021-042-016 e dalla resistenza 076.

Il valore della resistenza 076 determina l'ampiezza del picco di extratensione che si ha sui collettori dei transistor all'istante in cui questi passano dalla condizione ON alla condizione OFF.

A protezione delle giunzioni dei transistor sono montati i diodi 022 - 043 - 017.

Come si può vedere dallo schema, la massa del circuito di potenza è denominata "0VP" e non è comune con la massa della logica.

Le due masse sono in comune sulla morsetteria dell'alimentatore.

Questo accorgimento è stato usato ai fini di non disturbare la massa della logica di ricerca e di lettura/registrazione. Le temporizzazioni per una ricerca in avanti di 3 tracce (6 passi motore) a partire dalla traccia "00" sono indicate in Fig. 29.

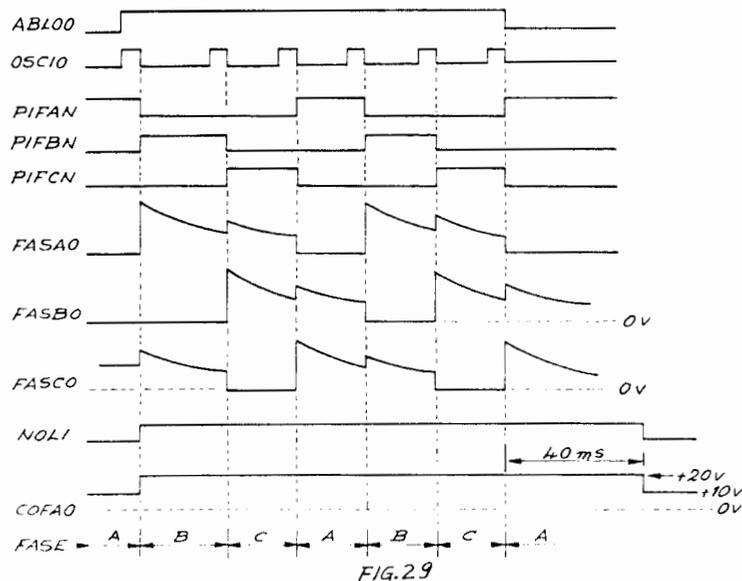


FIG.29

5.3 Logica di limitazione

Questo circuito ha il compito di limitare la corrente assorbita dal motore passo-passo quando non effettua delle ricerche.

Si hanno le seguenti condizioni:

- 1 - motore in ricerca con assorbimento di 2A.
- 2 - motore fermo con assorbimento di 1A.

In realtà la limitazione di corrente entra in funzione circa 40 msec. dopo l'ultimo passo.

Questo tempo è necessario per permettere al motore di posizionarsi con maggior precisione.

La logica di limitazione è costituita da un univibratore risincronizzabile come indica la fig. 30.

Le temporizzazioni di questo circuito sono indicate in Fig. 31.

E' prevista per la regolazione di questo tempo una resistenza di taratura. Il segnale NOLIN è disaccoppiato dal circuito di potenza tramite un 7416 (NES1, open collector).

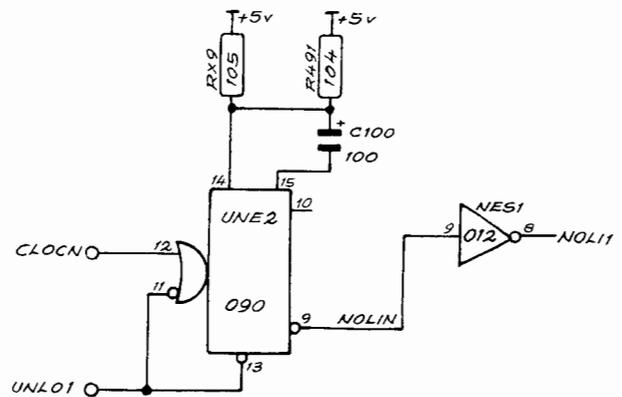


FIG.30

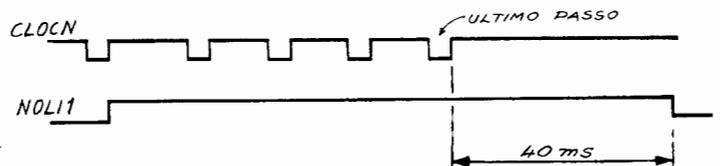
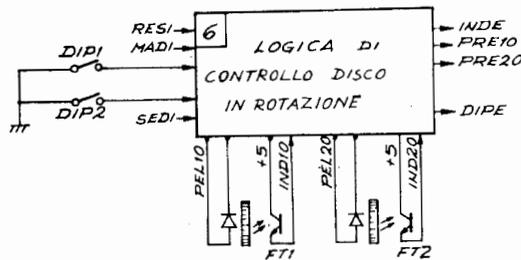


FIG.31

6) LOGICA DI CONTROLLO DISCO IN ROTAZIONE



In Fig. 32 è indicato come è stato suddiviso il circuito:

La logica di selezione giro deve trasmettere il segnale di giro INDE all'unità centrale; la selezione disco è fatta dall'unità centrale con SEDI, quindi INDE ripete GIR1 o GIR2 a seconda che sia selezionato un disco oppure l'altro. Gli squadratore, uno per il disco 1 e uno per il disco 2, hanno il compito di squadrare gli impulsi generati dai fototransistor FT1 e FT2, in corrispondenza del foro di ciascun disco, per dare in uscita GIR1 e GIR2. La logica di selezione disco genera il segnale DIPE0 (disco presente) verso l'unità centrale se sono rispettate queste condizioni:

- uno dei due dischi è presente (DIP10 o DIP20 chiuso)
- l'unità centrale ha inviato SEDI (selezione disco)
- il disco selezionato ha compiuto almeno due giri di rotazione (PRE10 per il disco 1 e PRE20 per il disco 2).

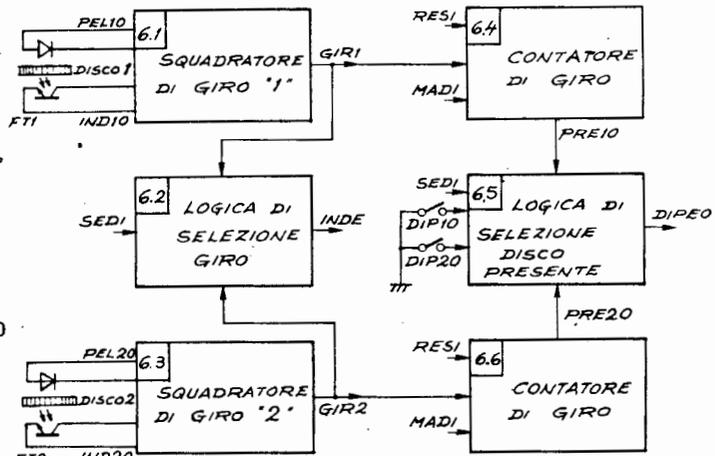


FIG. 32

La conta dei due giri di ciascun disco è affidata a due contatori che sono tenuti a zero fino a che la macchina non è disponibile, cioè fino a quando gli sportelli non sono stati chiusi e non è giunto il segnale di reset. Quando nasce MADI il contatore del disco selezionato evolve fino a 2 e nasce così PRE10 o PRE20.

6.1 - 6.3 Squadratore di giro

Ci riferiamo al circuito del disco 1 ricordando che quello del disco 2 è analogo. Sul disco esiste un foro del diametro di circa 2 mm; questo foro serve per ricavare un impulso elettrico necessario per la sincronizzazione della lettura e della registrazione; questo foro viene rilevato tramite il circuito "rivelatore di index" formato da un fotoemittitore e un fototransistor che sono montati su una piastrina vicino al disco. Sulla piastra di attuazione vi è poi il circuito squadratore che ha appunto il compito di squadrare il segnale rilevato.

Il fotoemittitore è un TIL31 che emette luce infrarossa; la sua tensione di alimentazione è di 1,4V tipici per cui è necessario alimentarlo con una resistenza in serie come indica la Fig. 33.

La corrente che passa nel TIL31 è di circa 24 mA.

È stato scelto questo componente per due ragioni:

- 1 - La maggior durata rispetto ad una lampada ad incandescenza
- 2 - Il maggior rendimento luminoso rispetto ad una lampada.

Il fototransistor usato come ricevitore è del tipo EPT100A collegato come indica la Fig. 34.

Con questo collegamento si ha in uscita, quando passa il foro davanti al gruppo trasmettitore ricevitore, un impulso come in Fig. 35. Naturalmente l'ampiezza e la durata di questo impulso dipendono dall'allineamento del fotoemittitore rispetto al fototransistor; pertanto è necessario che essi siano ben allineati.



FIG. 33

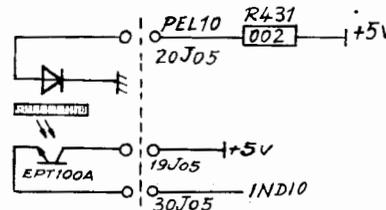


FIG. 34

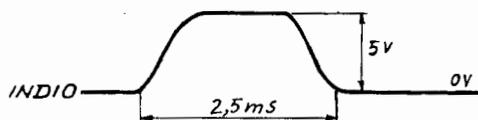


FIG. 35

L'impulso viene squadrato dal circuito indicato in figura 36 che é montato sulla piastra di attuazione.

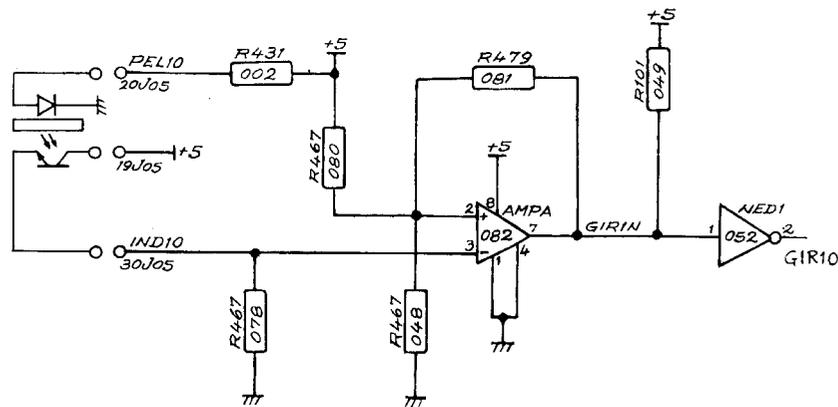


FIG.36

In questo circuito é stato usato un comparatore del tipo LM311 (si veda le note relative al circuito LM311 a pag. 52) il cui ingresso positivo é collegato al partitore formato dalle resistenze 048-080 e che é a 2,5V.

L'altro ingresso é collegato all'emettitore del fototransistor. La resistenza 081 é stata messa per dare al circuito un ritardo nella commutazione del segnale che corrisponde a 600 mV.

La resistenza 049 é la resistenza di collettore del transistor di uscita del comparatore (il 311 esce con un open collector).

L'andamento dei segnali ingresso-uscita dello squadratore sono indicati in Fig. 37.

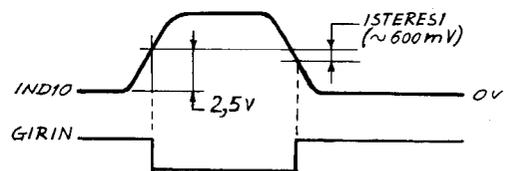


FIG.37

6.2 Logica selezione giro

Il segnale di giro (INDE0) viene trasmesso all'unità centrale su un solo filo.

Si rende pertanto necessario un circuito che selezioni il segnale del disco 1 o del disco 2. Questa selezione la farà la stessa unità centrale cambiando il livello del segnale SEDIB.

Si ricorda che:

SEDIB a livello alto = Disco 1 (superiore)

SEDIB a livello basso = Disco 2 (inferiore)

Il circuito di attuazione per questa selezione é indicato in Fig. 38. Esso é realizzato con un circuito "AND-OR inverter" a due ingressi del tipo 9005.

Le temporizzazioni relative a un cambio di selezione sono indicate in Fig. 39.

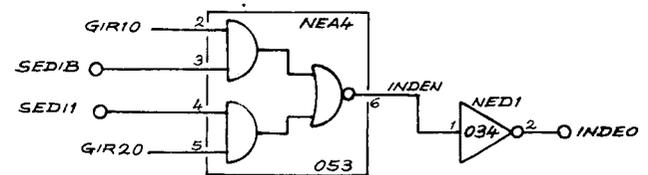


FIG.38

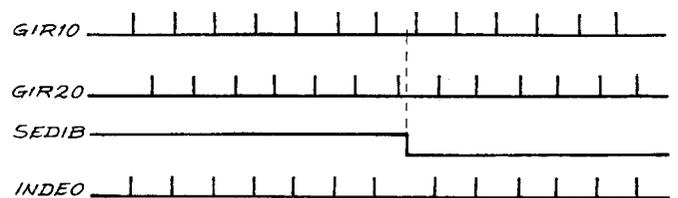


FIG.39

6.4-6.6 Contatore di giro

Questo circuito ha la funzione di abilitare il segnale che dice "disco presente" (PRE10) se il disco ha effettuato almeno due giri dopo ogni volta che si apre lo sportello e lo si richiude.

Potremmo quindi definirlo un controllo globale del disco in rotazione.

La presenza dei dischi é segnalata da un micro-switch per ciascun disco. Per evitare i rimbalzi dei micro-switch, i contatti dei mesimesi sono stati collegati a due flip-flop come si vede in Fig. 40.

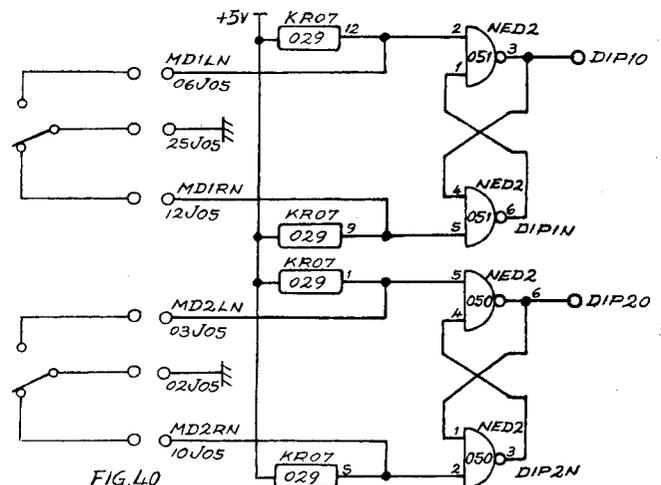


FIG.40

Il circuito del contatore è indicato in figura 41.

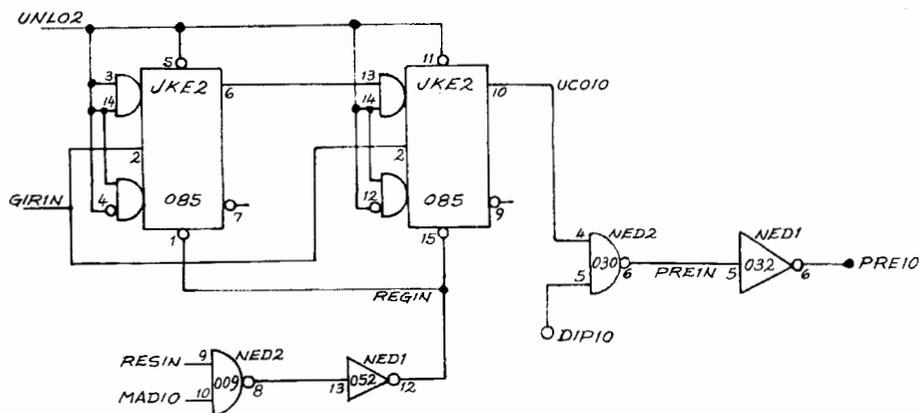


FIG. 41

Esso è costituito essenzialmente da 2 F.F. e il suo funzionamento è il seguente: fino a quando non si sono chiusi entrambi gli sportelli i due f.f. sono tenuti in condizione di reset forzato (MAD10 a "0"); dall'istante in cui si chiudono gli sportelli il disco viene "pizzicato" dal mandrino e si mette in rotazione. Contemporaneamente si toglie il reset ai due f.f. (REGIN va a 1); al primo GIR10 si setta il 1° f.f. che abilita il set del 2°.

Al secondo GIR10 si setta il secondo flip-flop e, se il micro di "disco presente" (DIP10) è chiuso, si ha la segnalazione di disco presente e in rotazione (PRE10 a "1").

Di questi circuiti ce ne sono due: uno per il disco 1 e uno per il disco 2.

Le temporizzazioni di questo circuito sono indicate in Fig. 42.

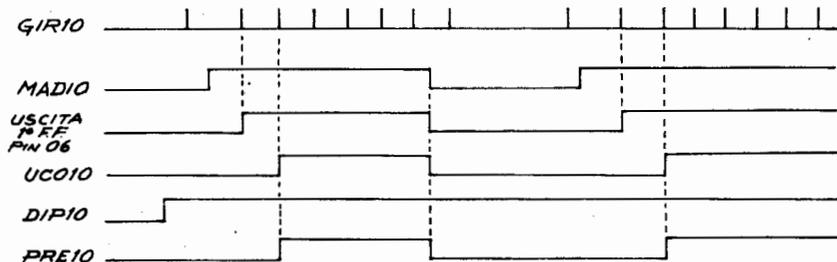


FIG. 42

6.5 Logica selezione disco presente

Il segnale che indica la presenza del disco (DIPE0) viene inviato al governo su un solo filo.

Si rende pertanto necessario un circuito che selezioni la presenza del disco 1 o la presenza del disco 2. Tale selezione è fatta direttamente dal governo cambiando il livello del segnale SEDIB. Il circuito di attuazione per questa selezione è indicato in Fig. 43.

Anche questo circuito è realizzato con un AND-OR-inverter a due ingressi del tipo 9005.

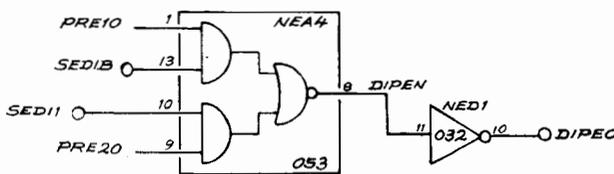


FIG. 43

7) LOGICA DI COMANDO LAMPADE DI LOCALE



Poiché il circuito é semplice passiamo direttamente al circuito elettrico.

Il circuito relativo al pilotaggio delle due lampade di locale é schematizzato in figura 44.

Poiché sui gate entrano i segnali PRE10 e PRE20 si può dire che le lampade si accendono quando manca il relativo disco, quando il medesimo é presente ma gli sportelli sono aperti, oppure quando il disco é presente, gli sportelli sono chiusi, ma il disco é fermo o invertito.

Esiste, inoltre, la possibilità di accendere queste lampade da governo per indicare che il disco deve essere sostituito.

Il circuito di uscita é costituito da un inverter tipo 7416 e pertanto é in grado di pilotare delle lampade tipo TIL/210 (arseniuro di gallio) che assorbono 20 + 25 mA.

Il ponticello collegato a COL20 é sempre montato in produzione; in questo modo la lampada del 2° disco rimane spenta; se si vuole utilizzare il 2° disco occorre tagliare il ponticello. Qualora sia necessario montare in console delle lampade con assorbimento maggiore si rende necessario un potenziamento dei circuiti stessi come indica la figura 45.

Con questo circuito si possono pilotare lampade ad incandescenze con assorbimento massimo di 100 mA.

N. B. - Nel floppy-disk considerato come unità autonoma sono montati i circuiti di potenziamento; il floppy-disk in versione integrata utilizza normalmente le lampade di segnalazione dell'unità base.

Se le lampade sono rappresentate da "led" non dovrebbe essere montato il circuito di potenziamento.

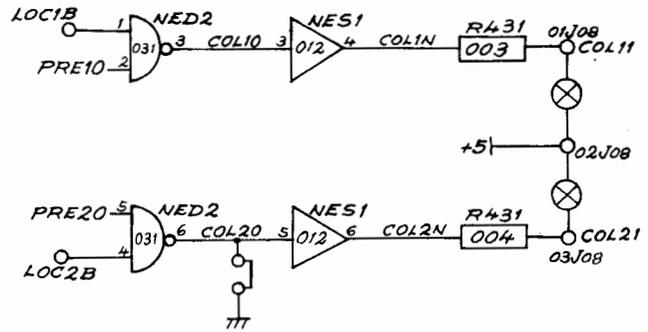


FIG.44

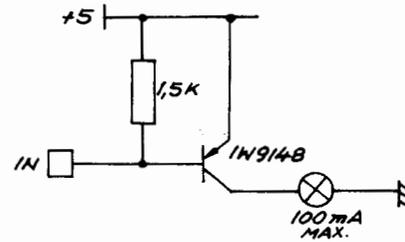


FIG.45

8) LOGICA DI CARICAMENTO TESTINA



Per leggere e scrivere è necessario effettuare una leggera pressione del disco contro la testina (circa 15 ± 20 grammi).

Questa operazione viene denominata "caricamento testina" e consiste nell'eccitare un elettromagnete il quale abbassa un pattino con feltro che va a premere contro il disco.

Il comando di caricamento testina CATE arriva dal governo su un solo filo, quindi anche qui è necessario condizionarlo alla selezione del disco 1 (superiore) oppure del disco 2 (inferiore).

Come detto in precedenza il segnale che comanda la selezione è SEDIB.

Il circuito completo è schematizzato in Fig. 46.

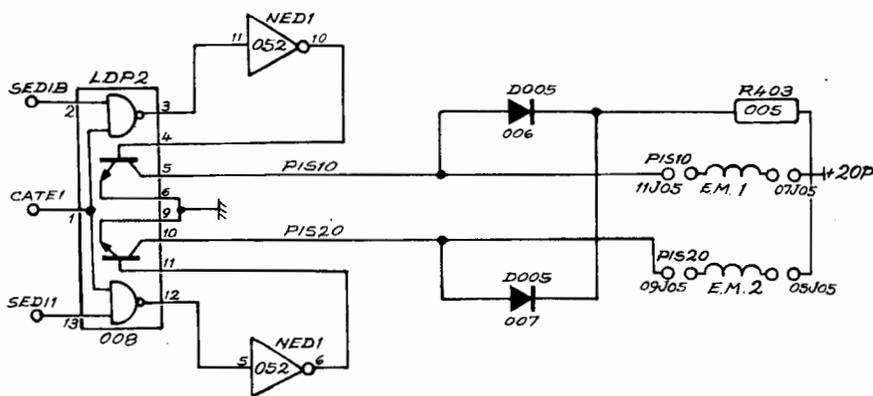


FIG.46

Per la selezione del disco 1 o 2 sono usate due normali porte TTL e per la parte di potenza si è usato un SN75450 che è un micrologico con due circuiti la cui uscita è a collettore aperto e in grado di pilotare carichi che assorbono al massimo 300 mA; (l'assorbimento di ogni magnete è di 120 mA.).

Tra i collettori e il +20 P è montato il gruppo di spegnimento costituito da due diodi 006 e 007 e dalle resistenze 005.

Il valore di questa resistenza è tale da evitare che gli impulsi di extratensione che si hanno quando il transistor passa in condizione OFF, siano maggiori di 30V.

TECNICA DI REGISTRAZIONE USATA NELL'FDU

La tecnica usata nella registrazione è quella ad alto impaccamento con duplicazione di frequenza, e rivelazione dei bit tramite il passaggio per lo zero; di seguito vedremo di chiarire i tre concetti.

Alto impaccamento

Per comprendere il significato del concetto di alto impaccamento, occorre introdurre il concetto di tempo di risoluzione di una testina di lettura. Ad ogni bit letto, la testina risponde con un impulso di tensione, che può essere positivo o negativo (Fig. 47).

Se i bit sono sufficientemente lontani, l'impulso di un bit non interferisce col successivo. L'ampiezza A e le durate tr del segnale dipendono dalle caratteristiche fisiche e magnetiche del disco e della testina, dalla velocità di trascinamento e dalla frequenza di registrazione che sono all'incirca costanti per uno stesso sistema. Il tempo tr è chiamato tempo di risoluzione della testina e definisce la durata del transitorio se gli impulsi non si influenzano l'un l'altro.

Se il periodo T di registrazione di un bit è uguale al tempo di risoluzione tr , gli impulsi positivi e negativi avranno l'andamento di Fig. 48 e l'ampiezza del segnale sarà sempre costante.

Se il periodo di registrazione è inferiore al tempo di risoluzione tr , i transitori si influenzano vicendevolmente e l'ampiezza del segnale tende a diminuire come indicato in Fig. 49.

Se volessimo quindi tracciare la curva di risposta di una certa testina che indichi l'ampiezza del segnale, in funzione della frequenza di registrazione, potremmo tracciare il grafico di Fig. 50.

Si può vedere che l'ampiezza è costante fino alla frequenza di risoluzione ($fr = \frac{1}{tr}$) e tende poi a diminuire.

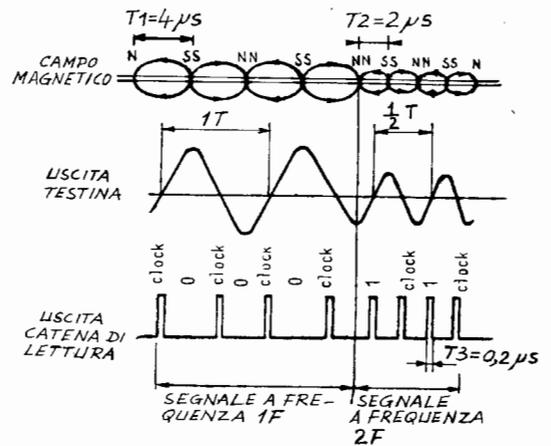
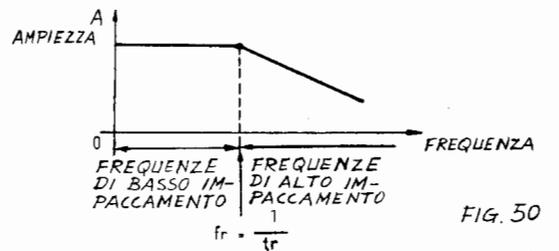
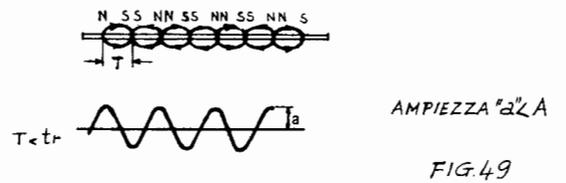
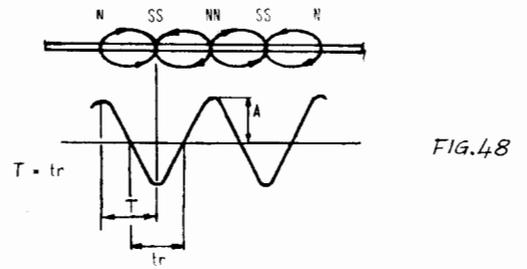
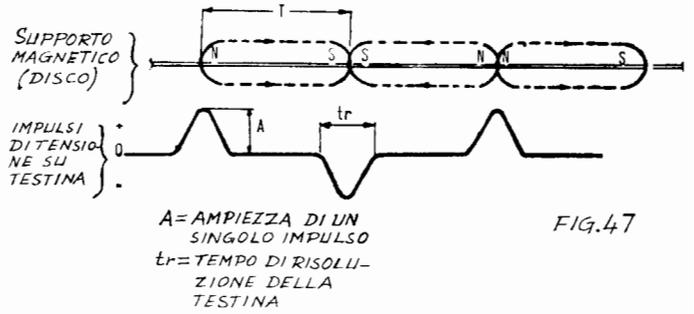
Si dice che si registra e si legge in condizioni di basso impaccamento quando la frequenza di registrazione è inferiore a quella di risoluzione della testina usata, mentre si dice che si opera in condizioni di alto impaccamento quando si supera la frequenza di risoluzione.

Duplicazione di frequenza

Il sistema usato è quello di registrare le informazioni intervallate a dei bit clock di riferimento. Cioè ad intervalli fissi si registrano o leggono dei bit clock; tra un clock e l'altro, l'assenza di bit ha il valore 0 e la presenza di bit vale un 1. Il segnale letto è caratterizzato dall'aver due frequenze una in assenza di bit 1 ed una quando ci sono i bit 1.

Le frequenze saranno una doppia dell'altra e si parla quindi di $1F$ e $2F$.

In figura 51 sono riportati come esempio l'andamento del flusso su disco, il segnale d'uscita dalla testina e l'uscita della catena di lettura.



Rivelazione delle commutazioni (bit e clock) tramite il passaggio per lo zero del segnale di lettura

Quando si lavora ad alto impaccamento le commutazioni di flusso sono segnalate in uscita della catena di lettura con impulsi generati in corrispondenza del passaggio per lo zero del segnale della testina magnetica (Fig. 51).

La tecnica di rivelazione del passaggio per lo zero é preferita a quella della rivelazione di picco quando i picchi stessi sono molto variabili in ampiezza come succede nella tecnica ad alto impaccamento.

Parametri tipici della registrazione e della lettura sull'FDU

In figura 51 sono indicati i tempi T1, T2, T3, 1T e $\frac{1T}{2}$.

- T1 : tempo tra clock e clock = 4 μ s
- T2 : tempo tra clock e bit = 2 μ s
- T3 : durata dell'impulso di lettura = 0,2 μ s

Le due frequenze di registrazione sono pertanto le seguenti:

$$1F = \frac{1}{1T} = \frac{1}{2 \times T1} = \frac{1}{2 \times 4 \times 10^{-6}} = 125 \text{ KHz}$$

$$2F = \frac{1}{\frac{1}{2} T} = \frac{1}{2 \times T2} = \frac{1}{2 \times 2 \times 10^{-6}} = 250 \text{ KHz}$$

L'impaccamento dei soli bit (senza considerare i clock) é il seguente:

- traccia "00" = 1837 b. p. i.
- traccia "76" = 3268 b. p. i.

E' chiaro che l'impaccamento di commutazioni (bit + clock) raddoppia rispetto a quello riferito ai soli bit.

In figura 52 sono riportate le curve di risposta della testina del floppy disk in corrispondenza della traccia "00" e della traccia "76".

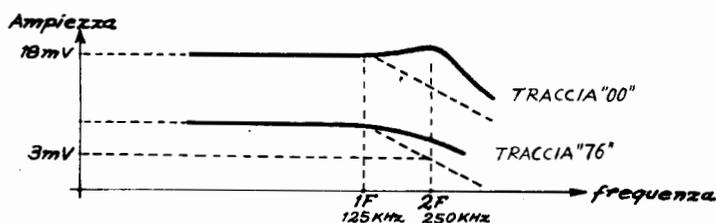


FIG. 52

Le gobbe in corrispondenza della 2F sono dovute a fenomeni di risonanza elettrica. L'ampiezza in traccia "00" é circa 18 mV alla 1F mentre alla 2F é compresa tra l'80 e il 110% del segnale a 1F. Il segnale in traccia "76" a frequenza 2F ha un valore minimo di circa 3mV e rappresenta il 50 ÷ 60% del segnale a 1F sulla stessa traccia.

DESCRIZIONE DELLO SCHEMA A BLOCCHI DELLA "SEZIONE LETTURA - REGISTRAZIONE"

Nella seguente descrizione facciamo riferimento allo schema a blocchi di lettura e registrazione di fig. 53. La descrizione è relativa ai circuiti di lettura e registrazione veri e propri mentre la parte relativa ai circuiti di discriminazione è a pagina 30.

Prima di passare alla descrizione dello schema a blocchi vediamo quali sono i segnali di interfaccia usati in questi circuiti:

ORLE = ordine di lettura	COLE = clock letti
ORRE = ordine di registrazione	BILE = bit letti (bit d'informazioni)
INRE = informazioni di registrazione	SEDI = selezione disco
ERGA = ordine di cancellazione sugli avvolgimenti di cancellazione o tunnel	

9) Circuito di selezione testina

Questo circuito serve a selezionare la testina 1 o 2; infatti dal governo giunge il segnale SEDI che indica quale disco è selezionato e di conseguenza si seleziona la testina corrispondente. Selezionare la testina significa portare a 0V il punto centrale dell'avvolgimento di lettura e registrazione, cioè il punto A per la testina 1 o il punto B per la testina 2.

10) Circuito di cancellazione

La cancellazione è abilitata da governo tramite il segnale ERGA e la tensione di alimentazione del circuito è TERE0; per cancellazione si intende far passare corrente nell'avvolgimento di cancellazione (o tunnel) della testina selezionata, cioè la testina che ha il punto centrale dell'avvolgimento R/L a 0 Volt.

11) Circuito di registrazione

Questo circuito è alimentato dalla tensione di registrazione TERE0; da governo riceve l'ordine di registrazione ORRE e le informazioni da registrare INRE. Le informazioni passano sulla testina selezionata tramite i diodi disegnati in neretto: D11 e D12 lavorano sulla testina 1 mentre D13 e D14 lavorano sulla testina 2.

Supponiamo che sia selezionata la testina 1: ciò significa che il punto A è a 0V. In questo caso i bit che rappresentano INRE vengono registrati sul disco 1 facendo passare alternativamente corrente nei due semiavvolgimenti il cui punto comune è A.

Il ragionamento è analogo per il circuito della testina 2.

12) Amplificatore di lettura

Il compito di questo circuito è quello di rilevare i bit letti dalla testina 1 e 2 e dopo una serie di operazioni presentarli all'uscita sotto forma di segnali a livello logico 0, 1 cioè che variano tra 0 e 5 Volt. In uscita all'amplificatore c'è l'informazione letta MALE, formata da bit d'informazione veri e propri e dai clock.

Circuito discriminatore

Il governo invia l'ordine di lettura ORLE ai circuiti di discriminazione; ciò è necessario in quanto dall'amplificatore di lettura escono i MALE sia in registrazione che in lettura mentre si vogliono utilizzare solo quelli che escono durante la fase di lettura. Praticamente ORLE lascia passare su governo solo i bit di lettura. I MALE vengono anche suddivisi in clock letti (COLE) e in bit letti (BILE).

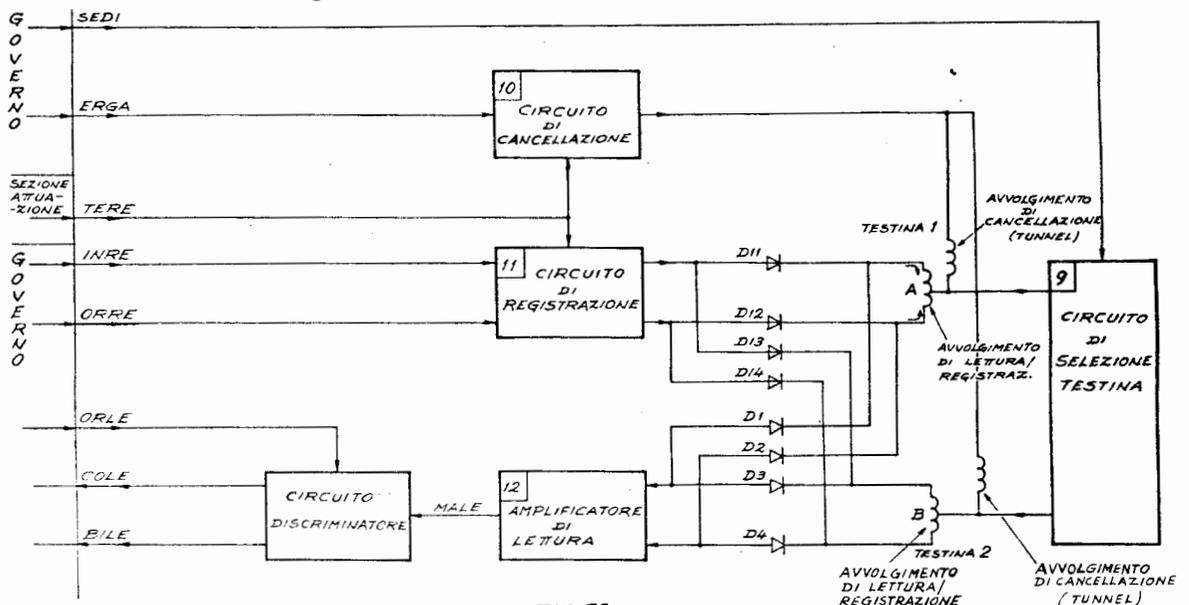


FIG. 53

Lo schema elettrico dei circuiti di lettura e registrazione è contenuto nel DISE 02 ; nella seguente descrizione abbiamo semplificato i circuiti solo per rendere più facile la spiegazione.

9) CIRCUITO DI SELEZIONE TESTINA (Fig. 54)

Serve a selezionare una sola delle due testine per collegarla ai circuiti di lettura e registrazione.

La selezione avviene agendo sul punto centrale degli avvolgimenti delle testine.

Mediante uno switch il punto centrale può essere portato a zero Volt (testina selezionata) o a +20 V (testina non selezionata). Il circuito impiega un SN75450, una rete di diodi tipo F8055 e delle resistenze.

Per selezionare le testine si utilizzano i due transistor T1 e T2 che sono pilotati dai gate G1 e G2; come ingresso dei gate si utilizzano i segnali SEDI1 e SEDIB di selezione disco.

Come è stato detto in precedenza SEDIB = 1 seleziona il disco superiore 1 mentre con SEDIB = 0 si seleziona il disco inferiore 2.

Se ad esempio SEDIB = 1 significa che il suo negato SEDI1 è a 0; in tal caso T1 conduce e manda a 0 Volt il punto centrale A della testina 1 che risulta pertanto selezionata.

Infatti in queste condizioni dal +5 Volt può passare corrente in D1 e D2 tramite le resistenze R3 e R4.

Contemporaneamente passa corrente nei diodi D5 e D6 verso il -5 V tramite le resistenze R5 e R6. In questo modo qualsiasi segnale alternato che si forma ai capi dell'avvolgimento della testina 1 si ritrova ai capi dei condensatori C3 e C4 che sono gli ingressi dell'amplificatore; il segnale può infatti passare in quanto i diodi D1, D6 e D2, D5 sono polarizzati direttamente.

Infatti, essendo il punto centrale A della testina 1 a 0 Volt ed avendo la testina una resistenza di avvolgimento di valore piuttosto basso ($10 + 20\Omega$), la tensione all'anodo di D1 e D2 sarà di valore di poco superiore a 0V.

Al contrario la tensione sul punto centrale B della testina 2 è 20 Volt; quindi 20 V compaiono anche sui catodi di D3 e D4 che sono quindi polarizzati inversamente e non conducono.

Come è stato detto, per registrare occorre far passare alternativamente corrente nei due semi-avvolgimenti della testina; ad esempio se la testina 1 è selezionata il punto A è a 0V e quindi un bit farà passare corrente in un senso con il diodo D11, mentre il bit successivo la farà passare in senso opposto tramite il diodo D12. Queste inversioni di corrente provocano ai capi della testina stessa dei transitori di tensione di valore piuttosto alto; i diodi D7 e D8 hanno appunto il compito di tagliare le tensioni troppo alte durante la registrazione in modo che non si guasti l'amplificatore (si ricordi che l'amplificatore lavora passivamente anche in registrazione).

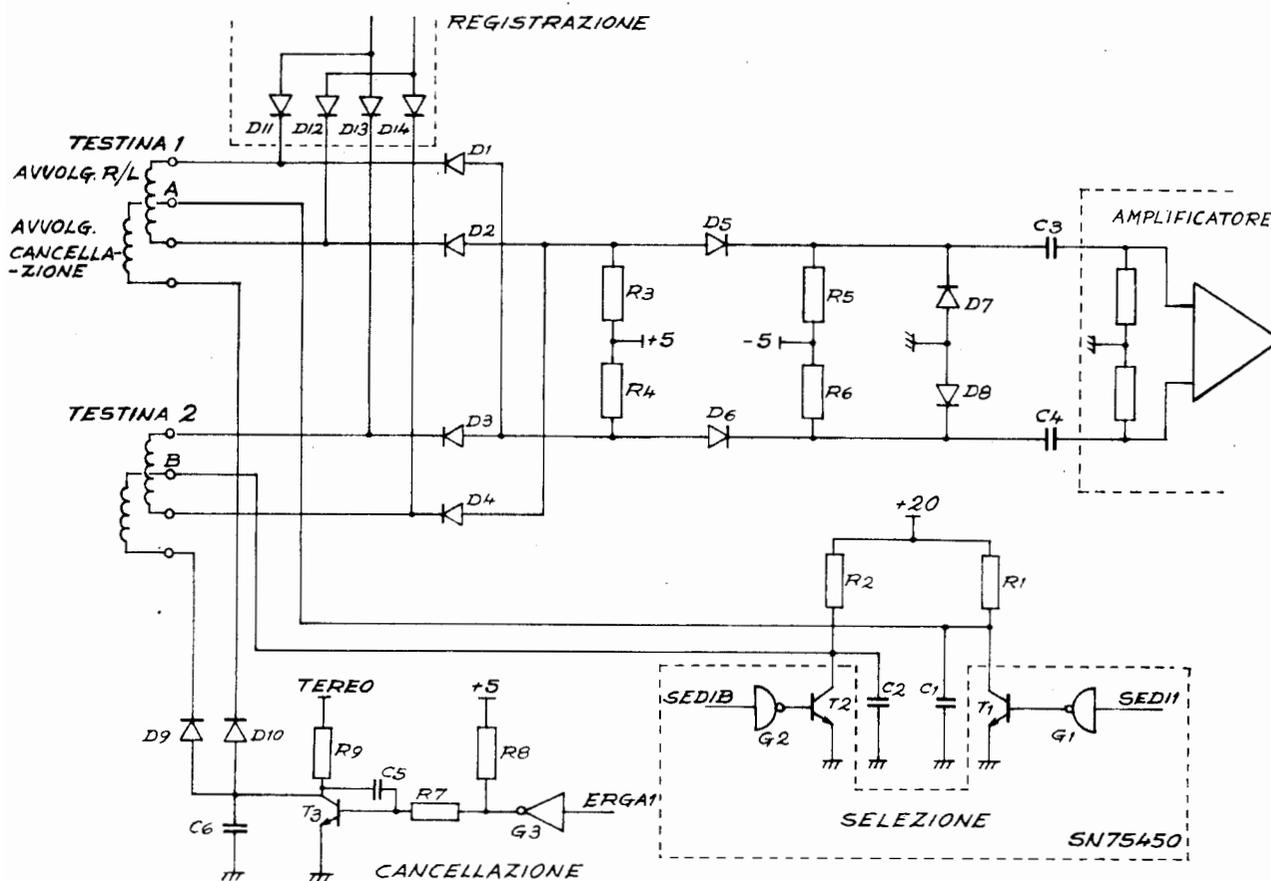


FIG.54

10) CIRCUITO DI CANCELLAZIONE (Fig. 55)

Questo circuito serve a far passare corrente continua del valore di circa 80 mA nell'avvolgimento di cancellazione della testina selezionata.

Infatti la posizione della testina in corrispondenza della traccia da registrare è data dallo spostamento meccanico del carrello porta-testina; quindi può succedere che la posizione della testina non sia sempre uguale ma vari da una registrazione all'altra, pur rientrando nelle tolleranze di spostamento previste. Si è dovuto quindi usare una testina con un gap di registrazione-lettura seguito da due gap di cancellazione chiamati anche tunnel. La funzione di gap di cancellazione è quella di ripulire un'area sui bordi di ogni registrazione in corso per cancellare eventuali segnali di registrazioni precedenti.

Il comando di cancellazione ERGA1, che arriva da governo, se è a livello logico 1 all'ingresso del gate G3 (fig. 54), interdice il transistor T3 per cui la corrente continua di cancellazione fluisce da TERE0 e tramite R9, D9 o D10 va nell'avvolgimento di cancellazione della testina selezionata.

Il condensatore C5 connesso tra collettore e base di T3, ha la funzione di rallentare i fronti di commutazione della corrente per evitare brusche discontinuità sul segnale registrato.

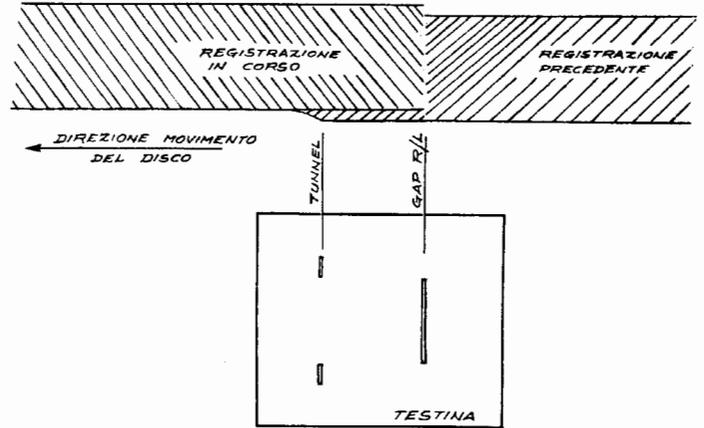


FIG. 55

11) CIRCUITO DI REGISTRAZIONE (Fig. 56)

Questo circuito serve a generare inversioni di flusso nella testina selezionata, necessarie per la registrazione delle informazioni su disco. Tali inversioni vengono generate mandando corrente alternativamente nei due estremi dell'avvolgimento R/L per mezzo di switch di tensione limitati da resistenze.

Il circuito impiega un integrato SN75450, un flip-flop TTL9001, due transistor BSX 32, resistenze, diodi, condensatori di filtro.

I comandi che arrivano sono ORRE (ordine di registrazione) e INRE (informazioni di registrazione).

Il segnale ORRE1 quando va a 1 libera il flip-flop 1 (che è in reset) e abilita i gate G1 e G3; in queste condizioni entrambi gli ingressi di G3 sono a "1" logico, quindi T2 è interdetto e T4 in conduzione. In tal modo può fluire corrente dalla tensione di registrazione TERE attraverso la resistenza equivalente (R3//R4) + R6, in un semi-avvolgimento della testina selezionata.

Ovviamente T1, nello stesso tempo, risulta in conduzione e T3 interdetto per cui nell'altro semi-avvolgimento della testina selezionata non passa corrente.

In corrispondenza di ogni fronte di discesa del mastro INRE, il F.F. 1 cambierà stato invertendo così la situazione nei due semi-avvolgimenti della testina.

Come è già stato detto, durante gli istanti di commutazione della corrente nella testina, si formano ai suoi capi dei transistori di tensione che hanno un'ampiezza di ± 6 V circa.

Nella foto 71 di pagina 29 compaiono questi transistori prelevati all'estremo A della testina assieme alla corrispondente forma d'onda prelevata all'emitter T3 (punto B).

La testina che non è selezionata non viene disturbata poiché è interconnessa con l'altra tramite diodi polarizzati inversamente, avendo il centrale a + 20 Volt.

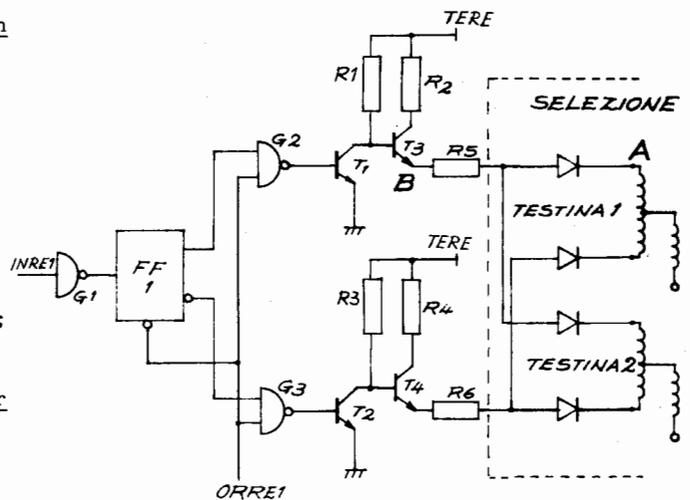


FIG. 56

12) AMPLIFICATORE DI LETTURA

Questo circuito può suddividersi in quattro parti: (Fig. 57)

- Preamplificatore lineare
- Amplificatore derivatore
- Filtro di Bessel (passa-basso)
- Zero cross detector e formatore di impulsi.

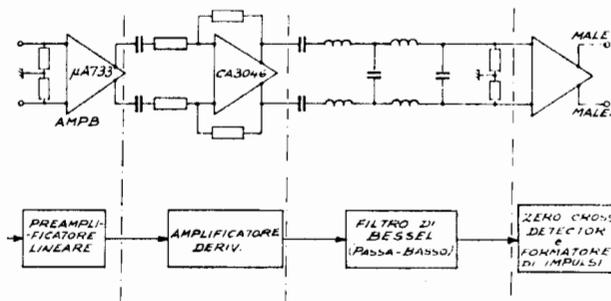


FIG. 57

a) Preamplificatore lineare

Il preamplificatore è un circuito tipo AMPB che è un amplificatore operazionale con guadagno tipico 100.000 e reti di reazioni interne selezionabili.

Ponticellando gli ingressi 3 e 12, come nel nostro caso, si inseriscono delle reazioni tali da ridurre il guadagno a 100 e portare la banda passante ben oltre la 2F; si ha quindi un'amplificazione lineare. La sua funzione è quella di amplificare i segnali della testina da valori compresi nella gamma $3 \div 20$ mV a valori dell'ordine 240 mV \div 1,6 V. I valori inferiori della gamma sono relativi alla frequenza 2F (250 KHz, cioè quando sono registrati clock e bit d'informazione), mentre quelli superiori sono relativi alla 1F (125 KHz, cioè quando sono registrati solo clock).

Le caratteristiche di questo circuito nella banda passante di funzionamento ($100 \div 400$ KHz) sono le seguenti:

- | | |
|------------------------------|-----------------|
| - guadagno | 100 nominale |
| - massimo segnale indistorto | 6 V picco-picco |

Il μA 733 impiegato per realizzare la funzione AMPB è accoppiato alla testina tramite il circuito di selezione e al filtro passa alto con frequenza di taglio inferiore a 10 KHz.

Le foto 63, 65, 67, 69 riproducono il segnale amplificato alle uscite differenziali del preamplificatore. Esse sono relative alle frequenze 1F e 2F ed inoltre alla traccia più esterna e più interna del disco.

b) Amplificatore derivatore (Fig. 58)

L'amplificatore derivatore è composto da un ibrido a 5 transistor integrati nel circuito KQ01 (CA3046) e da una serie di componenti discreti. Si tratta di un amplificatore differenziale costituito da tre transistor T1, T2, T5 seguito da due emitter follower, T3 e T4 che hanno lo scopo di ridurre l'impedenza d'uscita.

La controeazione e la stabilità del punto di lavoro sono definite dalle resistenze R5, R6, R1, R2 e dai condensatori C1, C2. Poiché gli ingressi alle basi di T1 e T2 risultano, con questo tipo di controeazione, a impedenza molto bassa, la banda passante è definita dalla costante di tempo R1,C1 e R2,C2.

La sua funzione è quella di rendere più o meno uguale l'ampiezza dei segnali di frequenza 2F rispetto a quelli di frequenza 1F e inoltre di ruotare la fase dei segnali in modo che i picchi diventino dei passaggi per lo zero (si ricordi che la rivelazione dei bit si fa controllando il passaggio per lo zero del segnale all'uscita della catena di lettura).

Il tipo di reazione fatta sull'amplificatore lo fa diventare anche derivatore cioè varia il suo guadagno in funzione della frequenza di lavoro. La curva di risposta del guadagno G in funzione della frequenza è riportata in Fig. 59.

Il guadagno in funzione alle due frequenze usate è il seguente:

- $G(1F = 125 \text{ KHz}) = 2,4$
 $G(2F = 250 \text{ KHz}) = 3,2$

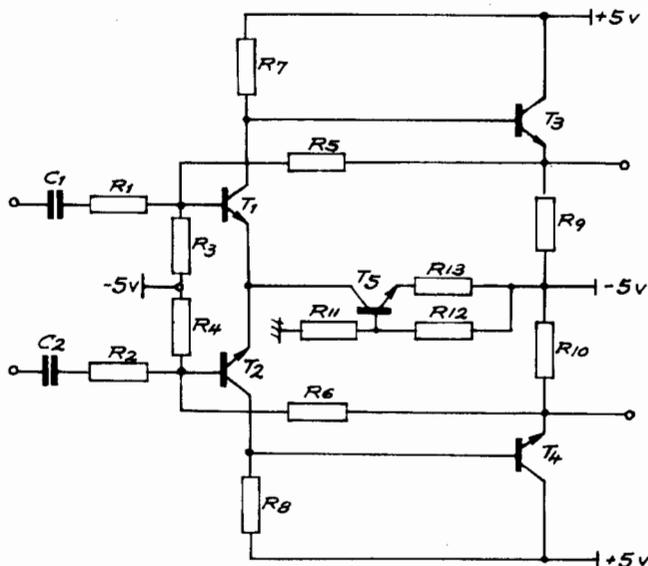


FIG. 58

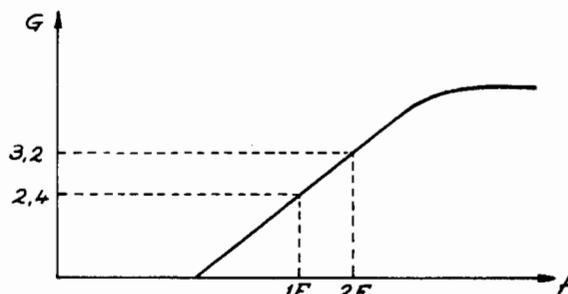


FIG. 59

Come si può vedere il segnale a frequenza $2F$ è amplificato più del segnale a $1F$ in modo da riequilibrare il segnale che esce dalla testina e quindi dal preamplificatore.

Un altro compito dell'amplificatore derivatore è di agire sui segnali in modo da rendere ripido il loro passaggio per lo zero.

Si osservi a questo proposito la foto 63 di pag. 28 in cui è indicato il segnale di frequenza $1F$; si può notare che il suo passaggio per lo zero è difficile da determinare. Lo stesso segnale all'uscita dell'amplificatore derivatore (foto 64) di pag. 28 ha invece un passaggio per lo zero molto ripido.

Per la frequenza $2F$ invece non si presenta il problema in quanto il segnale che arriva dalla testina ha già dei passaggi per lo zero abbastanza ripidi (foto 65, 66).

Il passaggio ripido per lo zero è necessario per il buon funzionamento dello zero cross detector che è più a valle.

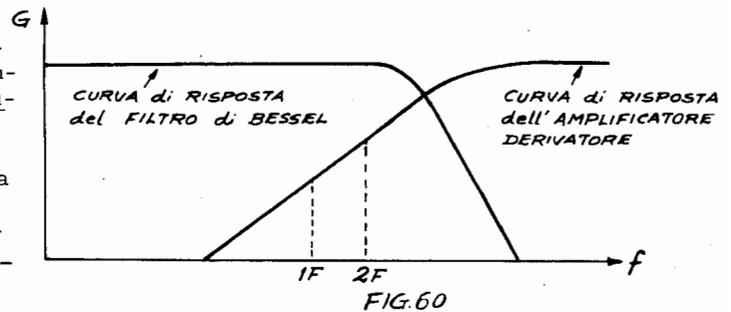
Le foto 64, 66, 68, 70 delle pagine 28 e 29 riproducono il segnale amplificato alle uscite differenziali dell'amplificatore derivatore alla $1F$, $2F$ e sulla traccia più interna ed esterna.

c) Filtro di Bessel (passa-basso)

La sua funzione è quella di eliminare dal segnale della testina, che è passato nei due amplificatori precedenti, ogni componente di rumore al di fuori della banda di frequenza interessata dalla registrazione magnetica.

La frequenza di taglio del filtro è posizionata a valori intorno a $0,6$ MHz.

Nella figura 60 è riportata la curva di risposta del filtro in relazione a quella dell'amplificatore derivatore.



d) Zero cross detector e formatore d'impulsi

La sua funzione è quella di rilevare ogni attraversamento per lo zero del segnale (zero cross detector) e produrre dei mastri (formatore di impulsi) di durata di circa 200 ns.

Ognuno di questi mastri è in corrispondenza di una commutazione di flusso sul disco, quindi di esso sarà o un dock o un bit d'informazione. I segnali saranno successivamente discriminati e separati nei due canali COLE (clock letti) e BILE (bit letti), dal circuito discriminatore descritto in un capitolo successivo. La funzione di zero cross detector è svolta da due ricevitori di linea mentre l'impulso in uscita è dato da un univibratore UNE 1 come indica la figura 61.

Si può osservare in figura 61 che i segnali letti passano dal filtro di BESSEL a due ricevitori di linea le cui uscite 04 e 09 vanno sull'univibratore UNE1 che dà l'impulso MALE con durata 200 ns.

I segnali relativi a questo circuito sono indicati in fig. 62; nella foto 72 di pag. 29 è indicato l'ingresso e l'uscita del circuito.

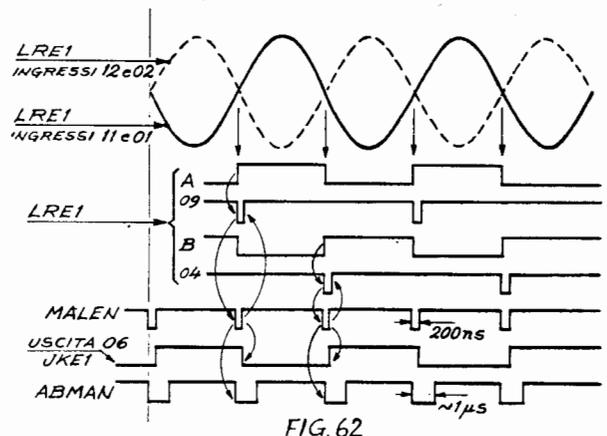
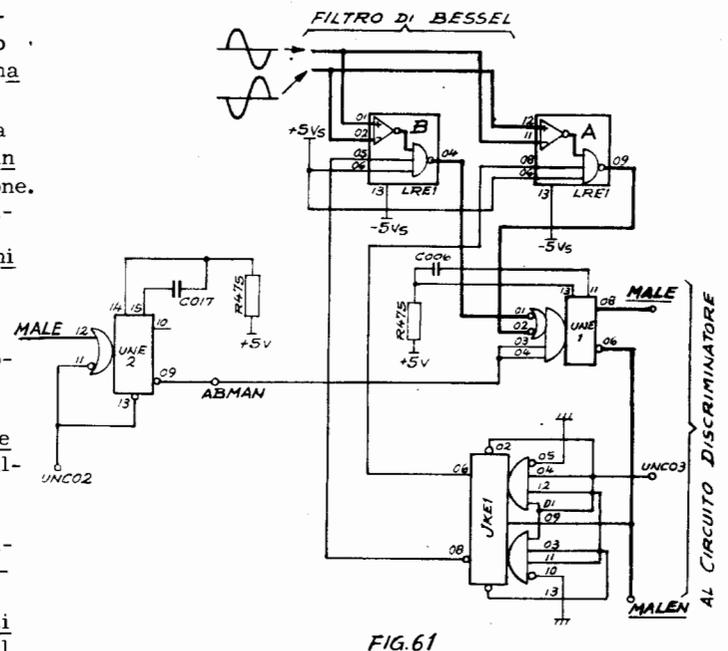
A pag. 29 sono indicate anche le foto relative ai valori minimi di segnale per il quale il dispositivo funziona.

Si può notare che quando l'ingresso 11 diventa più positivo dell'ingresso 12 il punto A passa da valore 0 a 1 comandando così a 0 l'uscita 09 in quanto lo strobe sull'ingresso 08 è a valore 1 (uscita di set del JKE1).

Quando l'uscita 09 va a 0 parte l'univibratore UNE1 che dà in uscita un impulso di circa 200 ns. Quando MALEN va a 0 si comanda anche la partenza dell'univibratore UNE2 che dà in uscita ABMAN di circa $1 \mu s$.

ABMAN = 0 serve per bloccare sicuramente l'univibratore UNE1 (ingressi 03, 04) per circa $1 \mu s$; infatti durante questo tempo i segnali d'ingresso di LRE1 passano per lo zero che è un punto critico per il noise introdotto dall'amplificatore differenziale. Con ABMAN=0 si evita di avere altri impulsi casuali.

Le commutazioni del JKE1 abilitano ora l'uno ora l'altro dei due ricevitori di linea i quali lavorano alternativamente per dare in uscita il comando su UNE1. A pagina 29 si possono vedere i segnali in ingresso ai due ricevitori di linea per le frequenze $1F$ e $2F$.



FORME D'ONDA DELLA LETTURA

Le fotografie di queste pagine hanno solo valore indicativo per dare un'idea dell'andamento dei segnali.

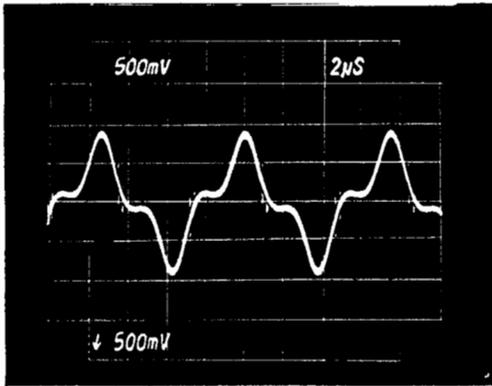


Foto 63: segnale differenziale all'uscita del preamplificatore alla 1F sulla traccia più esterna.

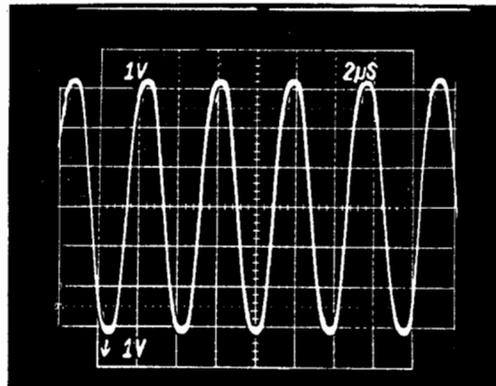


Foto 66: segnale differenziale all'uscita dell'amplificatore derivatore, alla 2F, sulla traccia più esterna.

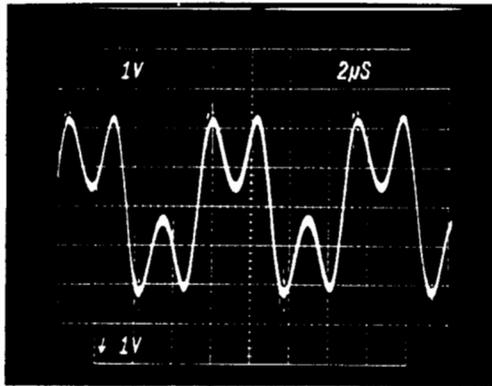


Foto 64: segnale differenziale all'uscita dell'amplificatore derivatore, alla 1F, sulla traccia più esterna.

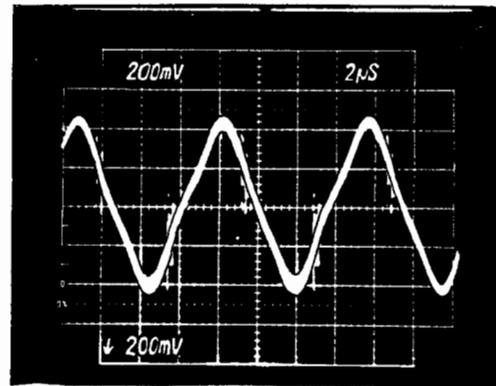


Foto 67: segnale differenziale all'uscita del preamplificatore alla 1F, sulla traccia più interna.

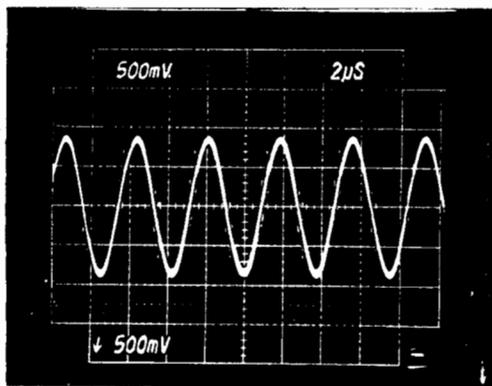


Foto 65: segnale differenziale all'uscita del preamplificatore alla 2F sulla traccia più esterna.

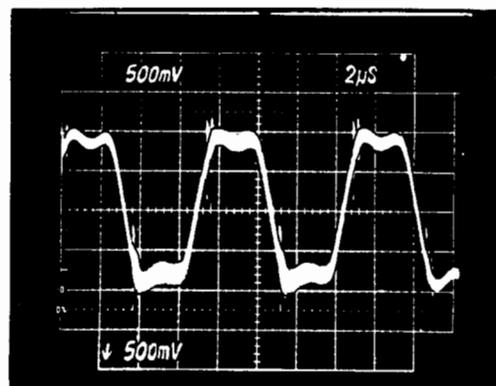


Foto 68: segnale differenziale all'uscita dell'amplificatore derivatore, alla 1F, sulla traccia più interna.

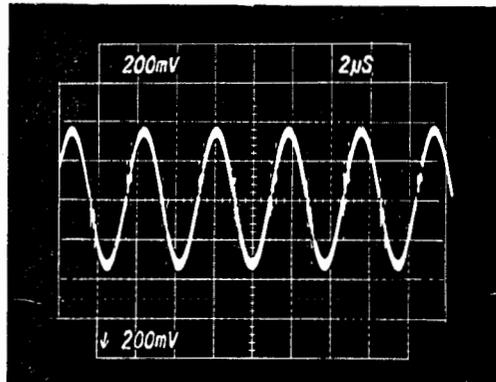


Foto 69: segnale differenziale all'uscita del preamplificatore, alla 2F, sulla traccia più interna.

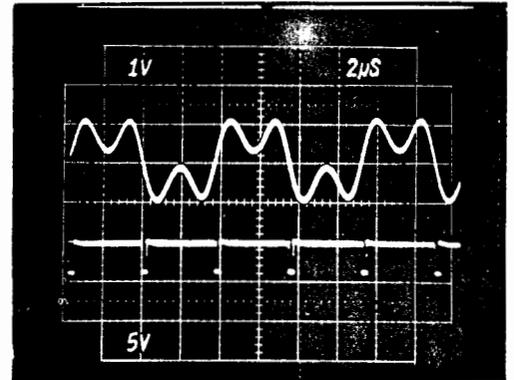


Foto 72: segnale singolo applicato agli ingressi del ricevitore di linea LRE1 (segnale alla 1F) e mastri di uscita dell'univibratore.

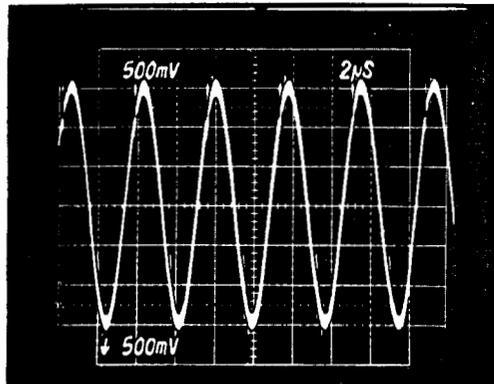


Foto 70: segnale differenziale all'uscita dell'amplificatore derivatore, alla 2F, sulla traccia più interna.

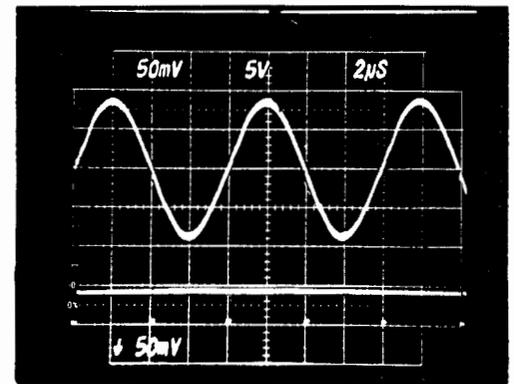


Foto 73: segnale differenziale minimo all'ingresso del ricevitore di linea per il quale il dispositivo funziona (1F).

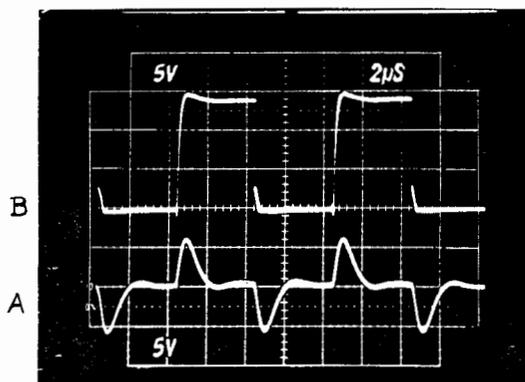


Foto 71: Transitori di tensione ad un capo (A) della testina in fase di registrazione (sotto) e segnale ai capi dell'emitter (B) del transistor di scrittura corrispondente (sopra).

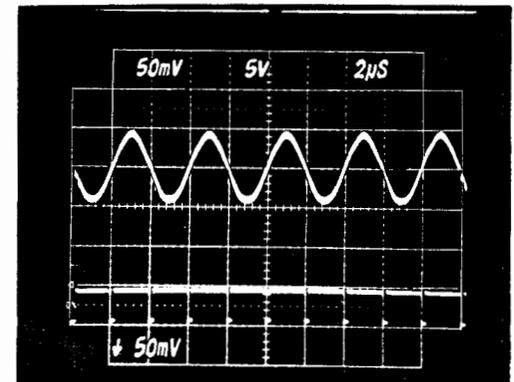


Foto 74: segnale differenziale minimo di funzionamento all'ingresso del ricevitore di linea (2F).

DESCRIZIONE DELLO SCHEMA A BLOCCHI DEL CIRCUITO DISCRIMINATORE

Descriviamo ora, seguendo lo schema a blocchi di figura 75, il funzionamento del circuito discriminatore. Si può notare che il circuito è stato suddiviso in 6 blocchi che sono numerati uno ad uno, a partire dal 14 (la numerazione è la stessa che si trova nello schema a blocchi generale).

14) PL0: Oscillatore bloccato in fase

Il compito di questo circuito è quello di generare dei mastri VC01N sempre con frequenza doppia di quella del segnale MALE quando si leggono solo dei clock.

Sappiamo già che la frequenza dei MALE può variare, perciò l'oscillatore bloccato in fase dovrà continuamente adeguare la frequenza di VC01N a quella incostante dei MALE.

Il circuito PL0 ha in ingresso, oltre a MALE, i segnali REGE e LESI di cui vedremo in seguito la funzione.

15) Avvio oscillatore e recupero dell'errore di fase

Il compito di questo circuito è di far partire l'oscillatore PL0 anche nelle condizioni più sfavorevoli che sono state previste.

Per condizioni sfavorevoli intendiamo lo scostamento della frequenza reale dei MALE da quella nominale; l'oscillatore PL0 può lavorare bene anche per variazioni della frequenza dei MALE di $\pm 12,5\%$ rispetto alla frequenza nominale. L'uscita LESI abilita quindi il PL0 a lavorare; all'inizio dell'aggancio LESI controlla l'oscillatore in modo che il PL0 si adegui alla frequenza dei MALE.

Si può notare che il circuito è abilitato dal segnale REGE il quale è nient'altro che l'and dei segnali ORLE e REVE.

ORLE significa "ordine di lettura" e arriva da governo, REVE significa "reset veloce" e arriva dal controllo di corretta fasatura del mastro PLOC.

16) Generatore mastro discriminatore

Il compito del circuito è quello di generare il mastro discriminatore PLOC; questo segnale ha infatti il compito di separare i clock dai bit di informazione. Il mastro PLOC nasce quando è abilitato dal segnale FIAV (fine aggancio) cioè quando ormai l'oscillatore PL0 ha adeguato la sua frequenza a quella del MALE.

17) Controllo di corretta fasatura del mastro PLOC

Questo circuito ha il compito di controllare la corretta fasatura di PLOC con MALE; può infatti accadere che il MALE si sfasi rispetto al PLOC in modo tale che PLOC interpreterebbe dei COLE (clock) come BILE (bit di informazioni) e viceversa.

In questo caso occorre bloccare l'oscillatore con REVE e poi far iniziare una nuova fase di aggancio di VC01N con MALE (PLOC dipende infatti da VC01). Occorre fare il controllo di corretta fasatura per due motivi:

- 1° - Il PLOC in fase di aggancio può essere sfasato in quanto l'ordine di lettura ORLE1 può giungere in un momento qualsiasi e quindi non si sa se l'oscillatore parte con un clock o con un bit.
- 2° - Il controllo di corretta fasatura è mantenuto per tutta la lettura in quanto durante il funzionamento si possono avere delle variazioni di velocità del disco; anche in questo caso si potrebbe avere uno sfasamento tale del PLOC da interpretare i COLE per BILE e viceversa.

Il segnale OTOZ d'uscita abilita il circuito di trasmissione dei dati quando è finita la fase di aggancio e si è sicuri di aver compiuto la corretta fasatura di VC01N rispetto ai MALE.

18) Abilitazione trasmissione dati verso governo

Il lavoro di questo circuito è molto semplice: deve abilitare il passaggio dei MALE solo dopo aver ricevuto il segnale OTOZ che dice aggancio effettuato e corretta fasatura.

19) Separatore bit-clock

All'uscita di questo circuito si hanno i clock (COLEN) e i bit (BILEN) che vengono mandati al governo. Il segnale PLOC in ingresso separa i clock dai bit d'informazione dopo aver ricevuto TRAD.

NOTA

A questo punto possiamo riassumere in generale il lavoro di tutto il circuito discriminatore; in pratica questo circuito deve fornire al governo clock e bit d'informazione quando riceve l'ordine di lettura dallo stesso governo. Le altre funzioni sono di controllo per assicurare che le informazioni lette sul disco siano mandate correttamente al governo.

SCHEMA A BLOCCHI DEL CIRCUITO DISCRIMINATORE

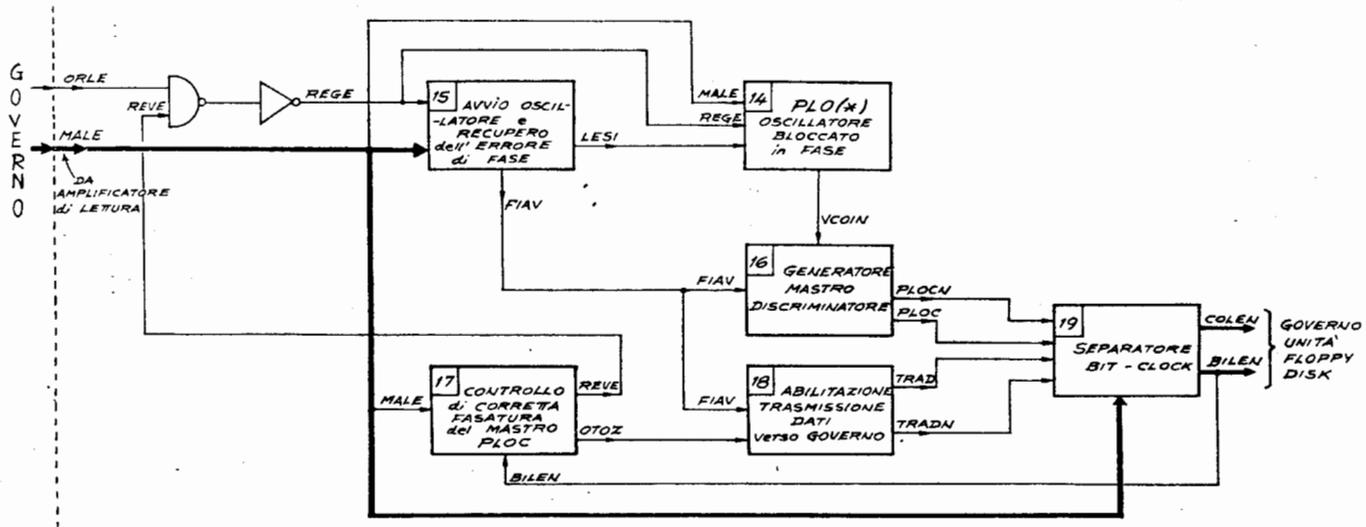


FIG.75

(*) PL0 = Phase locked oscillator

PRINCIPIO DI FUNZIONAMENTO DEL CIRCUITO DISCRIMINATORE

Vediamo ora in linea generale quali sono i problemi relativi ad un circuito discriminatore.

Per separare i clock dai bit si potrebbe utilizzare un oscillatore che lavora sempre alla stessa frequenza in modo da fornire segnali fissi per l'abilitazione alla lettura di clock e bit.

Però il disco non ruota sempre ad una velocità esattamente costante; con l'oscillatore a frequenza fissa ci sarebbe l'inconveniente che al variare della velocità del disco si interpretano i clock per i bit e viceversa.

Sull'FDU si è quindi deciso di utilizzare un oscillatore a frequenza variabile che adegui la sua frequenza alla velocità di rotazione del disco.

L'oscillatore funziona solo quando arriva da governo ORLE (ordine di lettura) però i dati letti non vengono subito mandati al governo in quanto occorre fare alcune operazioni.

Come primo lavoro occorre adeguare la frequenza dell'oscillatore alla velocità che in quel momento ha il disco; questa operazione viene chiamata fase di aggancio (cioè aggancio della frequenza dell'oscillatore alla velocità del disco).

Dopo la fase di aggancio occorre controllare che i clock e i bit non vengano scambiati tra di loro; infatti l'ordine di lettura ORLE arriva in un momento qualsiasi perciò non si può sapere a priori se si legge per primo un bit o un clock.

Questa fase viene chiamata controllo di corretta fasatura.

Nella figura 76 sono indicati i principali segnali a funzionamento corretto cioè i bit escono con PLOC a 1 e i clock con PLOC a 0.

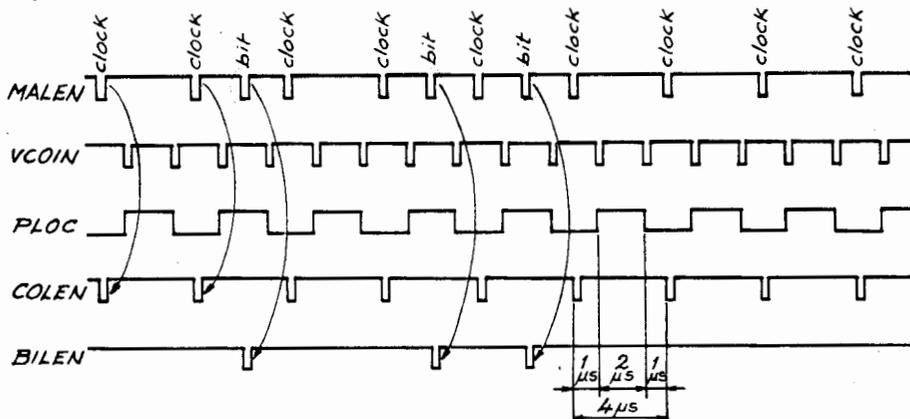


FIG. 76

Si può notare che la frequenza di VCOIN è doppia della frequenza d'uscita dei clock; in questo modo può nascere PLOC che è ad 1 nella parte centrale di MALEN alto, e a 0 durante i clock stessi. Per tutto il tempo che PLOC è a 1 può essere discriminato il bit di informazione e quindi anche in quei casi in cui il bit non è perfettamente centrato tra due clock.

Nell'esempio di figura si nota che i 3 bit di informazione presenti in MALEN passano su BILEN con PLOC a 1 mentre i clock passano su COLEN con PLOC a 0.

Come si vede il tempo tra un clock e l'altro è di 4µs; il bit d'informazione può essere riconosciuto nel tempo in cui PLOC sta ad 1 cioè in un intervallo di 2µs che rappresenta la tolleranza per le variazioni della velocità di lettura.

Può capitare che dopo l'aggancio il PLOC abbia un andamento esattamente opposto a quello indicato in Fig. 76; in questo caso si manderebbero al governo i clock e i bit scambiati tra di loro.

Occorre perciò fare il controllo di corretta fasatura del PLOC.

Come sappiamo le tracce del disco sono state preregistrate con un codice fisso a seconda del formato 128 o 256; sul disco vi sono però delle zone in cui sono sicuramente registrati solo dei clock.

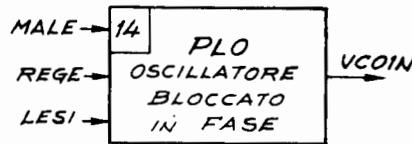
L'aggancio parte in un momento qualsiasi perciò il PLOC può essere fasato oppure no con i bit; dal disco si continuano a leggere le informazioni e giungerà il momento in cui si legge una zona di soli clock. In questa zona si effettua il controllo della corretta fasatura del PLOC; nel caso che la fasatura è corretta si possono trasferire i dati letti al governo mentre in caso contrario si ritentano altri agganci fino a che la fasatura del PLOC è corretta.

LOGICA DI FUNZIONAMENTO DEL PL0: OSCILLATORE BLOCCATO IN FASE

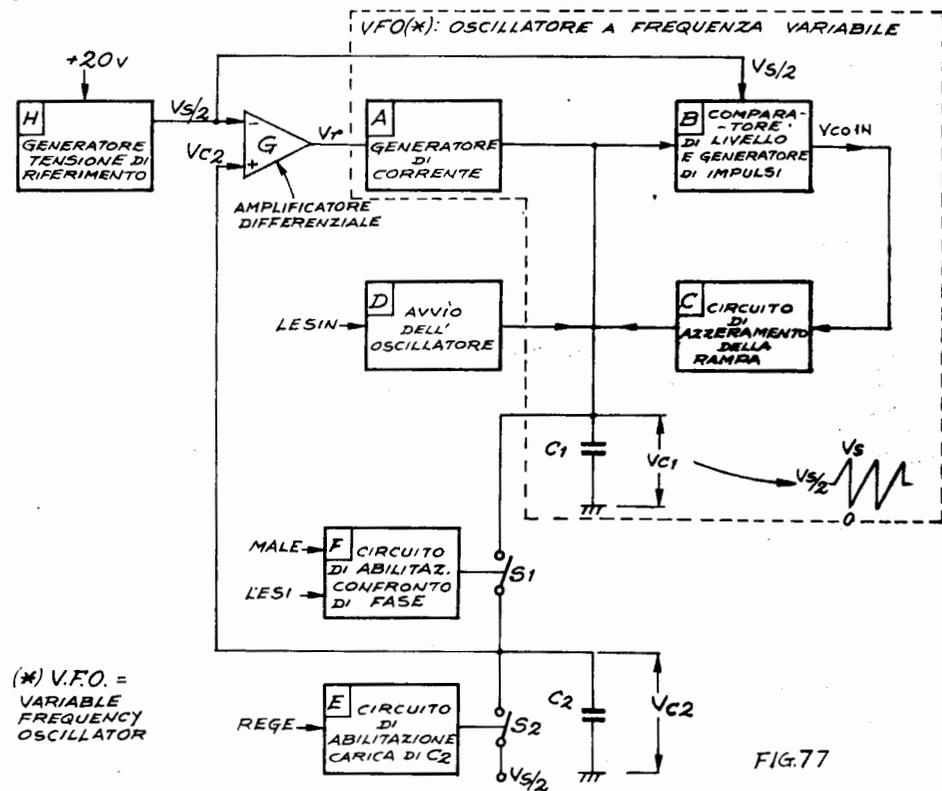
Vediamo ora più in dettaglio il funzionamento dei singoli blocchi del circuito discriminatore. Cominciamo con la descrizione del circuito PL0.

Poiché riteniamo che questo circuito sia abbastanza complesso, lo abbiamo suddiviso ancora in varie parti di cui diamo una spiegazione logica prima di passare ai circuiti elettrici. Se qualcuno trova difficoltà nello studio poiché non ha subito sott'occhio la descrizione dei circuiti elettrici, ricordiamo che tale descrizione va da pag.36 a pag. 38 .

14) PL0: Oscillatore bloccato in fase



Questo circuito può essere suddiviso come in figura 77.



(*) V.F.O. = VARIABLE FREQUENCY OSCILLATOR

FIG.77

L'oscillatore bloccato in fase PL0 è basato essenzialmente su un oscillatore variabile (V.F.O.) che a sua volta è formato da un generatore di corrente, da un comparatore di livello e generatore d'impulsi, da un circuito di azzeramento della rampa. Il generatore di corrente è controllato da una tensione esterna Vr fornita dall'amplificatore differenziale; la Vr dipende dalla differenza tra la tensione di riferimento VS/2 e la tensione VC2. La tensione Vr carica il condensatore C1 che genera una rampa di tensione la quale viene azzerata dal circuito di azzeramento pilotato da VCOIN; questo avviene ogni volta che il segnale a rampa VC1 raggiunge un livello pari a 2 volte il valore della tensione di riferimento VS/2 cioè VS. Il segnale VCOIN è generato dal circuito comparatore di livello che compara la rampa VC1 con la tensione VS/2 fornita dal generatore della tensione di riferimento.

Vedremo che in realtà il confronto è fatto rilevando il momento in cui la metà di VC1 cioè VC1/2 è pari a VS/2. Ciò è dovuto al fatto che il comparatore usato non sopporta sugli ingressi questi valori interi di tensione.

In figura 78 sono riportati i segnali VC1 e quello d'uscita VCOIN.

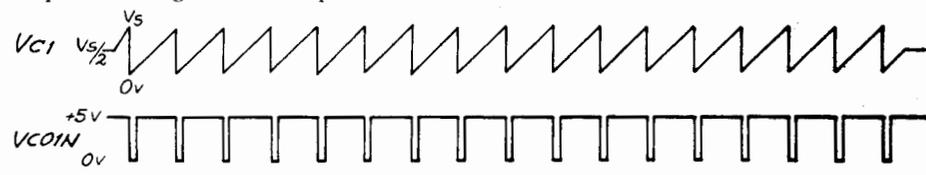


FIG.78

La frequenza di VC01N varia (rimanendo fissi C1 e VS/2) in funzione della corrente fornita dal generatore di corrente e quindi in funzione della tensione Vr di controllo. Più precisamente avremo un aumento della frequenza quando c'è una diminuzione della tensione Vr e una diminuzione di frequenza se c'è un aumento di Vr. La tensione Vr di controllo è la differenza tra la tensione di riferimento VS/2 e la tensione VC2 (Fig. 77). Il circuito è fatto in modo che in condizioni di riposo (cioè non in fase di lettura: REGE = 0 e LESI = 0) l'interruttore S2 è chiuso e S1 è aperto.

(A proposito degli interruttori, S1 ed S2 possiamo considerarli tali solo da un punto di vista logico, in pratica sono i circuiti elettrici E, F formati da vari componenti).

In condizione di riposo la tensione VC1 è fissata ad un valore pari a VS/2 dal circuito D "avvio dell'oscillatore"; (Il circuito di avvio dell'oscillatore è una parte del blocco 15 (vedi schema a blocchi a pag.31), però è comodo inserirlo già in questa descrizione).

La tensione VC2 coincide con VS/2 in quanto l'interruttore S2 è chiuso. In fase di aggancio (con REGE = 1) si ha S2 aperto mentre con LESI=1 viene avviato l'oscillatore; in tal modo la tensione VC1 varia con la frequenza nominale di 250 KHz (ricordiamo che l'oscillatore è controllato da Vr che a sua volta dipende dalla comparazione di VS/2 con VC2).

Quando arriva il segnale MALEN si chiude l'interruttore S1, se la frequenza di MALEN è di 125 KHz (solo clock) oppure di 250 KHz (clock e bit); l'interruttore S1 si chiude nel momento che VC1 e VC2 sono uguali a VS/2. In questo caso il periodo di MALEN (T MALEN) è uguale al periodo di VC1 (T VC1), oppure doppio.

Si osservi la Fig. 79.

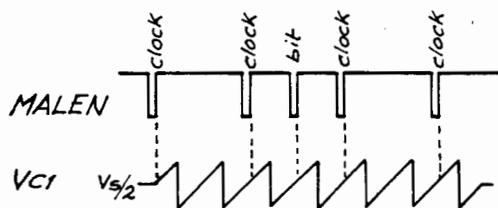


FIG.79

Con MALEN = 0 si chiude l'interruttore S1; se la frequenza di MALEN è uguale a metà di quella di VC1 non c'è scambio di cariche fra i condensatori C1 e C2 in quanto la tensione ai loro capi è uguale, cioè è VS/2. Vediamo ora i casi in cui il periodo di MALEN si discosta da quello di VC1. Per facilità consideriamo che tra un clock e l'altro vi siano sempre i bit di informazione.

Si osservi la figura 80.

Si può notare che MALEN esce con un periodo leggermente superiore a quello di VC1; durante MALEN = 0 si ha che C1 è più carico di C2 quindi C1 fornisce cariche a C2.

In questo modo VC2 tende a salire, di conseguenza Vr tende a salire e l'oscillatore diminuisce la sua frequenza per adeguarla a quella di MALEN.

Infatti se Vr sale il generatore di corrente fornisce meno cariche e quindi la rampa si appiattisce diminuendo così la frequenza.

Vediamo ora il caso in cui il periodo di MALEN è inferiore a quello di VC1 (Fig. 81).

Durante MALEN = 0 si ha che C1 è meno carico di C2 quindi C2 cede cariche a C1; la tensione VC2 diminuisce facendo diminuire Vr.

In tal caso aumentano le cariche fornite dal generatore di corrente, la rampa diventa più ripida e quindi aumenta la frequenza di VC1 che come al solito tende ad adeguarsi a quella di MALEN.

A questo punto, per quanto riguarda il PL0, possiamo concludere che controllando opportunamente la tensione Vr si varia la frequenza di VC1, di conseguenza la frequenza di VC01N che si adegua così ai MALEN.

Vediamo ora più in dettaglio ciò che succede durante l'aggancio dell'oscillatore con il segnale MALEN.

Abbiamo già detto in precedenza che i bit possono essere sfasati rispetto ai clock specialmente nei momenti in cui il MALEN passa da frequenza 1F a frequenza 2F.

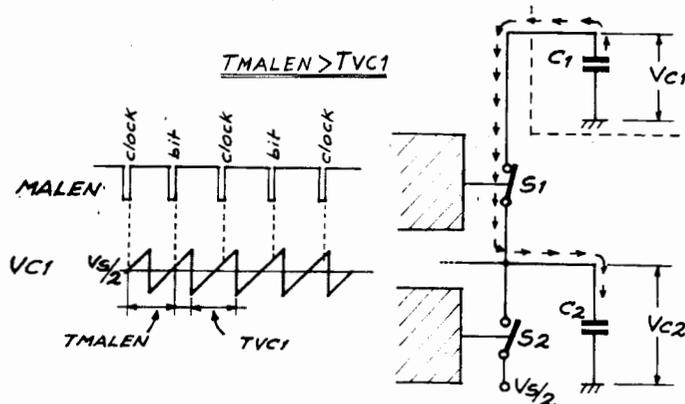


FIG.80

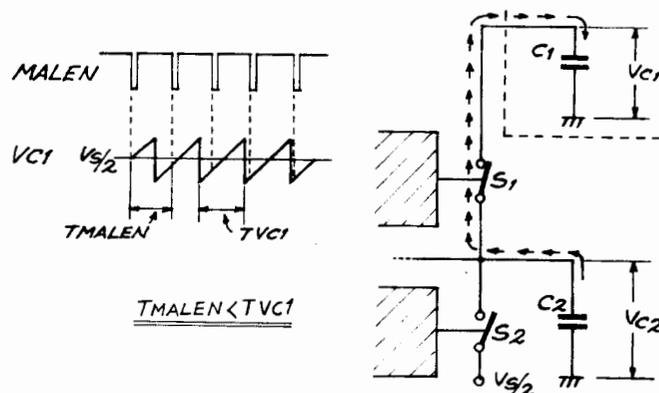


FIG.81

Per evitare che l'oscillatore adegui la propria frequenza a quella di MALEN nei momenti in cui questo è fuori dei limiti previsti è stato progettato un sistema di adeguamento del PL0 molto lento.

Poiché l'adeguamento è lento può succedere che all'aggancio si accumuli un errore di fase che può superare il mezzo periodo mettendo in crisi il circuito di sincronizzazione come indica la figura 82.

In figura sono stati indicati solo clock per semplificare il disegno.

In figura abbiamo fatto l'esempio in cui il segnale MALEN ha un periodo superiore a quello nominale; si può notare che l'errore di fase (sfasamento di MALEN rispetto al centro della rampa) tende ad aumentare con l'aumentare del numero di impulsi che escono da MALEN.

Infatti possiamo notare che il clock 0 esce correttamente con la rampa a $VS/2$; il clock 1 esce con il ritardo E_1 rispetto al centro rampa; a questo punto l'oscillatore incomincia a correggere la frequenza di VC1 (si osservi la linea tratteggiata), quindi il clock 2 uscirà con il ritardo $E_2 = E_1 + (E_1 - \Delta_1)$ dove Δ_1 è l'errore recuperato dopo la prima correzione di frequenza.

L'oscillatore continua a correggere la frequenza anche dopo il clock 2 e la correggerà di un valore Δ_2 ; tutto questo continua, però si può notare che il clock 4 si sfasa del tutto nonostante la correzione.

Possiamo quindi concludere che la correzione lenta serve nei passaggi di frequenza $1F-2F$ quando il bit può essere molto sfasato rispetto al clock e perciò non si vuole che la frequenza stessa si adegui subito allo sfasamento del bit.

Lo svantaggio è che durante l'aggancio si può verificare lo sfasamento descritto.

Per ovviare a questo inconveniente si effettua un particolare tipo di aggancio che descriveremo in seguito.

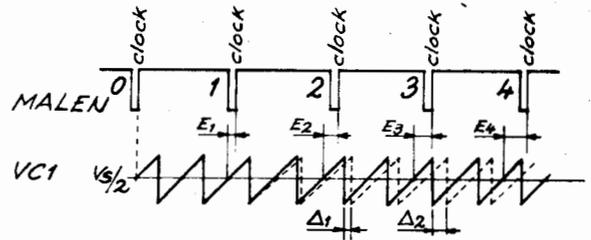


FIG. 82

DESCRIZIONE DEI CIRCUITI ELETTRICI DEL PL0

Vediamo ora la descrizione circuitale del circuito discriminatore; incominciamo dal circuito PL0 e precisamente dall'oscillatore a frequenza variabile V. F. 0.

14 A) Generatore di corrente

Il generatore di corrente è indicato in Fig. 83 e la sua uscita è collegata al condensatore C1 per avere il segnale in uscita a forma di rampa VC1.

Se si carica il condensatore con una corrente costante, ai capi del condensatore si ha una tensione linearmente crescente cioè a forma di rampa. Il generatore di corrente è costituito da un transistor PNP che ha in base la tensione di riferimento Vr (uscita dell'amplificatore differenziale).

Le resistenze R564 e RX2 (di taratura in sede di montaggio) servono per determinare la forma del segnale.

La resistenza R082 e il condensatore C041 hanno il compito di fornire delle variazioni della pendenza della rampa proporzionali alla variazione di ampiezza di Vr dopo il confronto tra la frequenza di VC1 e MALEN.

La tensione sul condensatore C1 non è prelevabile direttamente in quanto si avrebbero delle fughe di corrente da/verso il circuito utilizzatore per carichi resistivi; occorre perciò adattare l'impedenza disaccoppiando C1 dal carico tramite due stadi ad emitter-follower, uno PNP e uno NPN per compensare le cadute base-emitter (Fig. 84).

Le due resistenze R121 e R073 servono per evitare eventuali oscillazioni ad altissima frequenza che talvolta sono presenti negli emitter follower.

L'uscita dei due stadi viene inviata ad un comparatore di livello.

14 B) Comparatore di livello e generatore d'impulsi

Il comparatore di livello è costituito da un ricevitore di linea LRE1 come indica la figura 85.

Il comparatore serve per determinare il valore di ampiezza previsto per la rampa ($V_S = 5V$); il comparatore impiegato non sopporta questi valori di tensione perciò in ingresso " + " viene mandata la tensione di metà rampa (ottenuta con il semplice partitore di tensione delle due resistenze R459) mentre in ingresso " - " giunge la tensione di riferimento $V_S/2$.

L'impulso generato dal ricevitore di linea viene mandato all'univibratore UNE2 che genera l'impulso squadrato VC0IN.

Il 2° ricevitore di linea è indicato anche se non è utilizzato; esso è però utilizzato nelle prime 600 piastre.

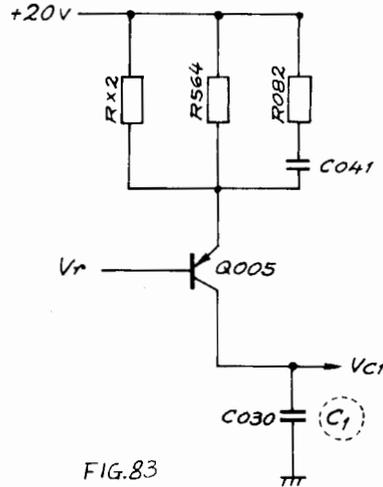


FIG. 83

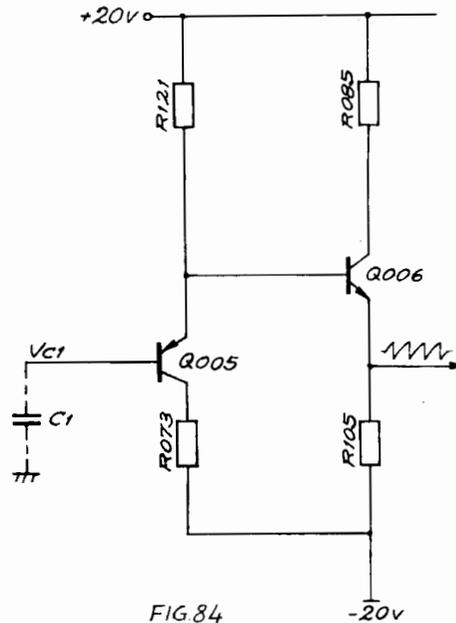


FIG. 84

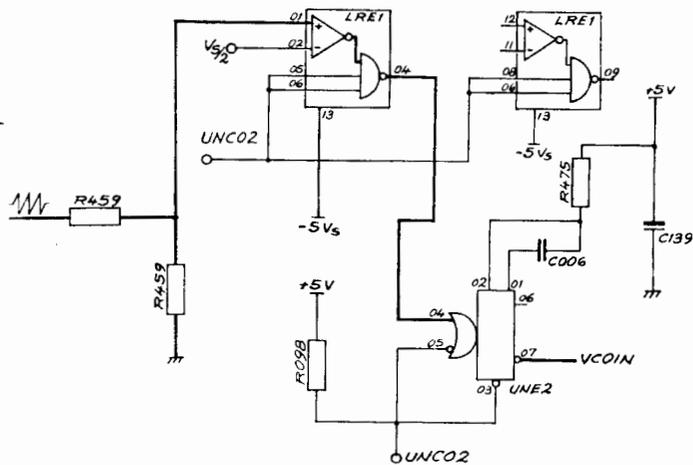


FIG. 85

14 C) Circuito di azzeramento della rampa

Questo circuito ha il compito di portare a 0 V la tensione VC1 quando il generatore d'impulsi fa nascere VCOIN (Fig. 86). Il mastro VCOIN viene invertito due volte e potenziato; durante la sua presenza a 0 V riesce a scaricare completamente C1; quest'ultimo inizierà quindi a caricarsi (tramite il generatore di corrente) alla fine di ogni singolo mastro. Riepilogando possiamo dire che l'oscillatore a frequenza variabile V. F. 0. genera delle oscillazioni a dente di sega che partendo da centro rampa raggiungono il massimo valore previsto, vengono azzerate per risalire subito dopo.

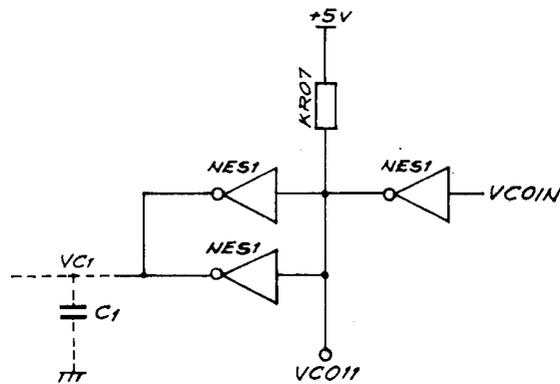


FIG.86

14 D) Avvio dell'oscillatore

Il compito del circuito è di avviare l'oscillatore V. F. 0. quando si è in fase di lettura (ORLE1=1) e di bloccarlo quando non si legge. Si osservi la figura 87. Quando non si è in fase di lettura LESI è in reset e quindi mantiene bloccata la tensione VC1 a VS/2; tale valore dipende dalle resistenze R554 e R x 1 di taratura. E' chiaro che se VC1 è bloccata l'oscillatore non può funzionare. Il f. f. LESI si setta quando arriva il primo MALEN dopo essere stato abilitato da ORLE1 = 1; perciò l'uscita di reset va a 0 Volt e viene così sbloccato l'oscillatore in quanto C1 è libero di essere caricato dal generatore di corrente.

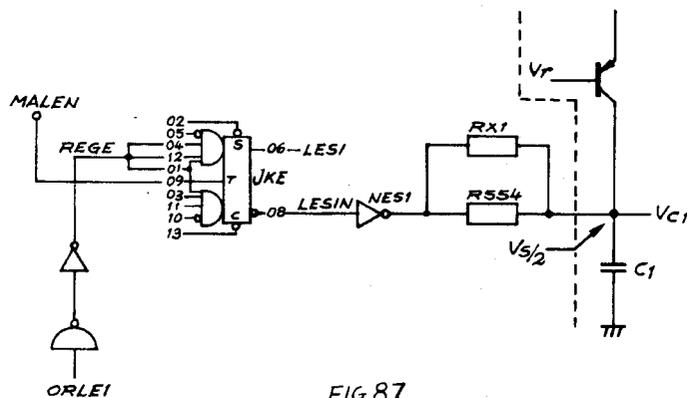


FIG.87

14 E) Circuito di abilitazione carica di C2

14 F) Circuito di abilitazione confronto di fase

Per facilitare la comprensione dei circuiti, in figura 88 abbiamo disegnato lo schema in modo diverso dal DISE, disponendo insieme i due circuiti. Parliamo prima del circuito di abilitazione carica di C2; il segnale REGE dipende da ORLE1 e controlla il circuito. Quando si è in condizioni di riposo (non lettura) ORLE1 = 0 pone REGE = 0. Con REGE a 0 il punto A va a 5V e B a ~0V; in questa situazione i 4 diodi D112 conducono e nel punto D si stabilisce la stessa tensione del punto C cioè VS/2. Quindi a riposo la tensione VC2 è fissa a VS/2 e si ritrova all'ingresso + dell'amplificatore differenziale.

Vediamo ora il circuito di abilitazione confronto di fase. Questo circuito entra in funzione quando si entra in fase di lettura; infatti con ORLE1=1 il segnale REGE va a 1 e apre il circuito tra il punto C e D. Nello stesso tempo ORLE1=1 abilita il set di LESI quindi il segnale MALE, che arriva all'amplificatore di lettura, fa variare l'uscita del NED2. Quando MALE=1 il punto E va ad un potenziale più positivo di F quindi i diodi D112 conducono e nel punto H si stabilisce il potenziale di G.

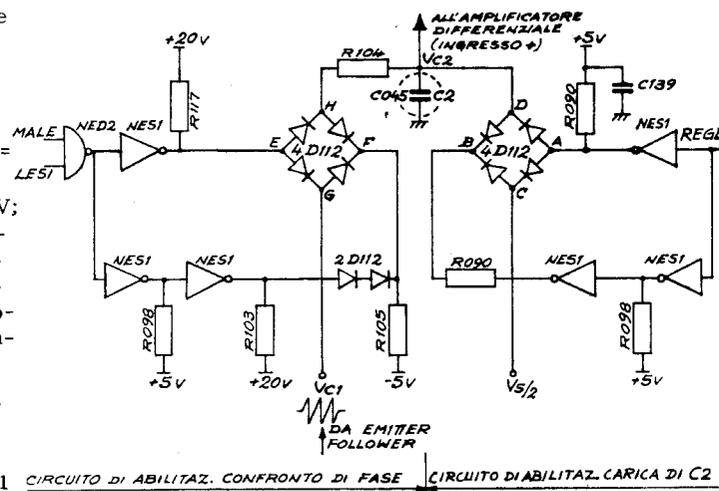


FIG.88

In questo momento comincia il vero confronto di fase; infatti se MALE va a 1 nel momento in cui si è a metà della rampa VC1 non c'è passaggio di corrente tra G e H e quindi la tensione VC2 rimane costante sull'ingresso + dell'amplificatore differenziale.

In tal caso non c'è correzione della frequenza dell'oscillatore. (In effetti il circuito non è pilotato direttamente da VC1 ma dall'uscita dell'emitter follower). Nel caso in cui MALE esce dopo il centro della rampa significa che la tensione VC1 è superiore in quell'istante a VS/2; in tal caso il condensatore non si carica più a VS/2 (centro rampa) ma ad una tensione superiore.

Se MALE esce prima del centro rampa significa che VC1 in quell'istante è inferiore a VS/2; quindi il condensatore C2 si scarica in quanto VC1 non ha ancora raggiunto il valore VS/2 di centro rampa.

In questi ultimi due casi abbiamo visto che varia la tensione VC2 e quindi si va a variare la frequenza dell'oscillatore per adeguarla a quella di MALEN.

14 G) Amplificatore differenziale

14 H) Generatore tensione di riferimento

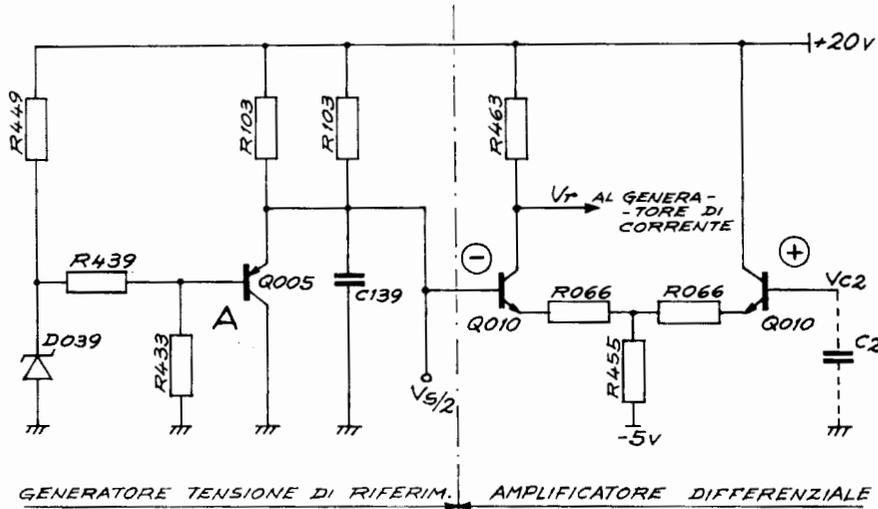


FIG.89

La tensione VS/2 è prelevata sull'emitter del transistor A che è collegato appunto ad emitter follower per adattare l'impedenza a quella del circuito utilizzatore.

La tensione in base del transistor A viene fornita tramite un partitore di tensione resistivo che preleva a sua volta l'alimentazione ai capi del diodo zener; ciò perché si vuol mantenere costante la VS/2 al variare della tensione di alimentazione 20V.

La tensione VS/2 va sull'ingresso dell'amplificatore differenziale che per maggior comprensione abbiamo chiamato ingresso -.

La tensione d'uscita Vr va al generatore di corrente; essa varia al variare della tensione VC2 che arriva sull'ingresso +. In particolare modo se VC2 aumenta sale anche la tensione Vr mentre se VC2 diminuisce scende la Vr; infatti si va ad agire sulla conduzione dei due transistor aumentando o diminuendo la loro caduta di tensione.

LOGICA DI AGGANCIO E CONTROLLO DI CORRETTA FASATURA

Come già sappiamo la lettura dal disco può essere effettuata quando il governo alza il segnale ORLE (ordine di lettura); l'ordine di lettura può però giungere in un momento qualsiasi della rotazione del disco e quindi anche l'aggancio può partire in un momento qualsiasi.

In figura 90 si può notare che il primo MALEN dopo ORLE manda a 1 il segnale LESI; LESI a 1 abilita l'oscillazione di VC1 che fino a quel momento era alla tensione $VS/2$. LESI sta ad 1 per 3 impulsi di MALEN e poi torna a 0; questa evoluzione di LESI si ha per 4 volte fino a che va poi definitivamente a 1. Poiché durante LESI a 1 l'oscillatore funziona, possiamo dire che si hanno 4 cicli in cui si ha la correzione della frequenza di VC1 in relazione a MALEN.

Tra una correzione e l'altra si hanno dei tempi in cui si corregge l'errore di fase cioè quel tipo di errore che è esaltato dalla correzione lenta. Infatti con LESI = 0 l'oscillatore non funziona e la rampa VC1 viene forzata a $VS/2$ dal circuito di avvio dell'oscillatore; in tal modo l'oscillatore ripartirà da $VS/2$ e quindi l'errore che fino a quel momento si era accumulato viene azzerato.

Dopo 4 cicli di correzione va a 1 il segnale FIAV (fine aggancio) e da quel punto in poi si avrà la lettura e la correzione continua per i successivi MALEN.

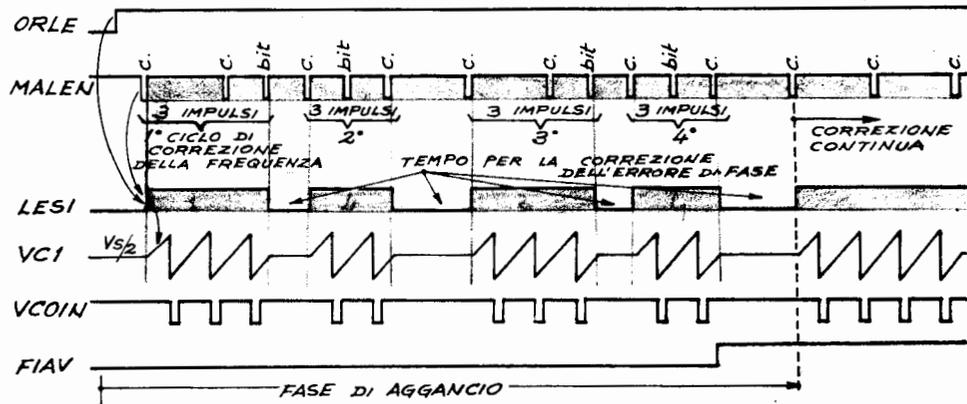


FIG.90

Dopo aver agganciato in fase e frequenza il segnale VCOIN con MALEN, potrebbe succedere che il segnale PLOC risulti sfasato in modo tale che i clock vengono interpretati come bit e viceversa. La figura 91 indica il PLOC corretto e quello errato.

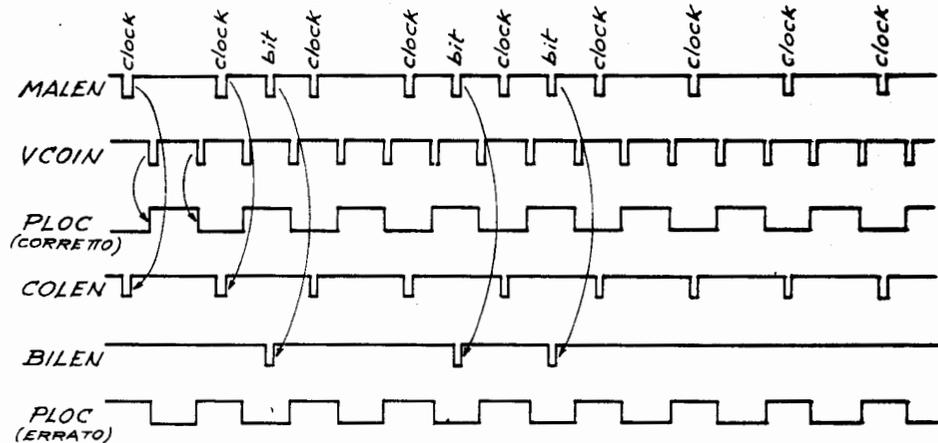


FIG.91

Con il PLOC errato si avrebbe una falsa discriminazione di BILEN e COLEN; pertanto dopo ogni aggancio dell'oscillatore con MALEN si innescia la logica di controllo corretta fasatura. Se la fasatura non è corretta si ritentano altri agganci fino a quando il PLOC è fasato correttamente. Come abbiamo già detto in precedenza il controllo di corretta fasatura può essere fatto, dopo l'aggancio, se si legge una zona di soli clock; in questa zona si è sicuri di poter controllare bene se i clock sono in posizione corretta rispetto al PLOC. Possiamo riassumere la successione di lavori che occorrono per eseguire la lettura.

- 1 - Ad un certo punto il governo manda il segnale ORLE per leggere un settore del disco.
- 2 - Ricevuto ORLE si comincia ad effettuare l'aggancio dell'oscillatore con la frequenza di MALEN.
- 3 - Dopo aver controllato l'aggancio si controlla la corretta fasatura.
- 4 - Se anche la fasatura è corretta si continua a leggere mentre se non è corretta si tentano altri agganci.

Però sorge un elemento di complicazione: sul disco sono registrati dei settori con clock mancanti (i clock mancanti servono per il riconoscimento di particolari zone sul disco) nel qual caso CEZE potrebbe anche essere a 0 in corrispondenza di un bit come indica la figura 95.

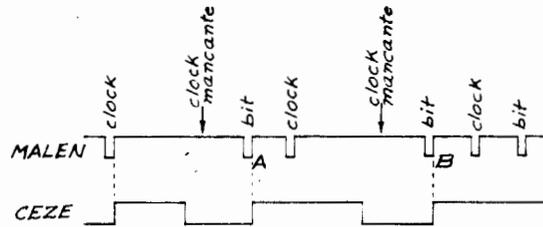


FIG.95

Si può notare che nei punti A e B escono i bit nel momento in cui CEZE = 0 poiché mancano dei clock. In questo caso il controllo di PLOC non sarebbe indicativo. Poiché i clock mancanti sono solo 2 o 3 in corrispondenza delle chiavi di settore, per essere sicuri di essere fuori da queste zone si esegue il controllo solo dopo aver contato 8 celle 0 (soli clock).

A questo punto possono verificarsi due situazioni:

- 1) - Il controllo di corretta fasatura procede bene fino alla fine.
 - 2) - Si verifica un errore e quindi occorre rifare il controllo.
- 1) Le due uscite CEZE e CEZEN dell'univibratore sono le abilitazioni del flip-flop ZOZE (zona zeri) che si setta con il primo MALE dopo la nascita di FIAV (fine aggancio). Il segnale ZOZE a 1 abilita la conta sul contatore che darà in uscita OTOZ dopo l'ottavo clock a partire dalla zona zero. Con ZOZE = 1 il flip-flop UNFA (uno falso) verifica BILEN con CEZEN e se PLOC è fasato correttamente non può essere settato. UNFA = 0, in and con CEZEN e OTOZ, non può comandare il reset veloce REVE e quindi la lettura procede normalmente poiché s'è visto che la fasatura è corretta.

- 2) Se la zona zeri non dura almeno otto clock significa che ZOZE viene resettato dalla lettura di un bit; in questo caso si azzerava il contatore e si abilita una nuova ricerca della zona zeri con il clock immediatamente successivo al bit che ha resettato il tutto. Se invece la zona zeri è di almeno otto clock significa che nasce OTOZ; a questo punto si fa l'and tra OTOZ, CEZEN e UNFA; se la fasatura di PLOC non è corretta UNFA = 1 perciò nasce il reset veloce REVE che toglie l'abilitazione alla lettura e si ritenta un altro aggancio a partire dall'inizio di tutta la catena logica. L'abilitazione della trasmissione dati verso il governo si ha con il set di TRAD (trasmissione dati) che avviene con il 1° MALE dopo OTOZ = 1; Con TRAD = 1 sono infatti abilitati i segnali COLE0 e BILE0. In caso di errata fasatura REVE resetta il contatore di FIAV il quale resetta TRAD bloccando così la trasmissione dati. Le forme d'onda relative ai circuiti studiati sono in figura 96 .

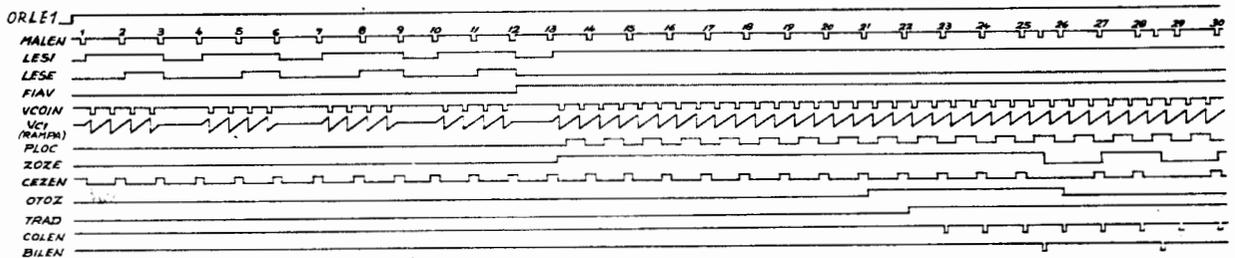


FIG.96

ALLEGATO: DESCRIZIONE DEI CIRCUITI SPECIFICI DELLE PRIME 600 PIASTRE

In questo allegato sono descritti i circuiti relativi alle prime 600 piastre di attuazione FLODISC che sono state prodotte; nella descrizione abbiamo inserito solo i circuiti che differiscono da quelli descritti in precedenza o che compaiono per la prima volta. I casi in cui sono stati cambiati dei componenti senza variare la funzione logica del circuito non li abbiamo presi in considerazione. Per questa descrizione il tecnico dovrà riferirsi agli schemi relativi alle prime 600 piastre, infatti il disegno dei circuiti varia come pure la numerazione dei componenti e la loro disposizione sulla piastra. Inoltre i componenti non sono disegnati secondo le norme standard dei DISE o dei DISL.

1. 2 Switch TECA - TERE

Questo circuito è analogo a quello descritto a pag. 7 per la piastra di attuazione di tipo nuovo. Si osservi la figura 97. I componenti del circuito sono gli stessi di quelli visti a pagina 7; si può notare che varia la loro numerazione e inoltre non c'è la sigla che li qualifica in quanto le indicazioni sono segnate direttamente sul circuito. L'uscita del circuito in questo caso è TECA0 (tensione di cancellazione) anziché TERE0; vedremo in seguito come le prime piastre utilizzano questa tensione.

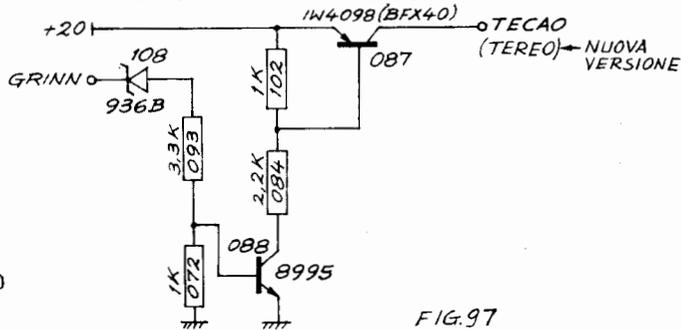


FIG. 97

2. 1 Verifica tensioni e reset

Questo circuito è simile a quello che abbiamo descritto a pagina 8 per le nuove piastre. Si osservi la figura 98. Questo circuito effettua la verifica delle tensioni; si può notare che al posto di TERE0 (per la nuova versione) vi è la tensione TECA0; il circuito non cambia come funzionamento; oltre alla numerazione dei componenti cambia solo il NED4 usato al posto di un NED2.

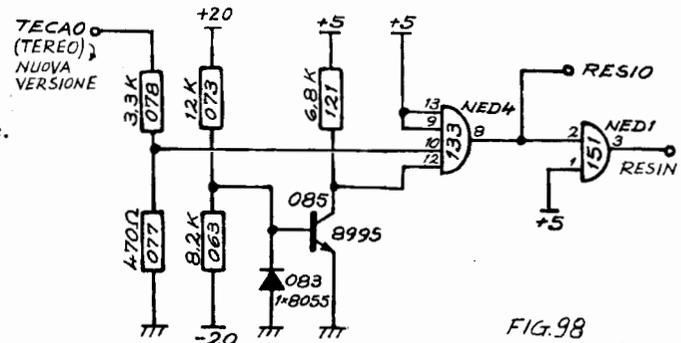


FIG. 98

4. 1 Contatore di traccia

Questo circuito era stato descritto a pag.11; rispetto al precedente circuito vi sono però varianti abbastanza significative. Di seguito diamo la descrizione relativa. Questo circuito ha la funzione di segnalare in quale traccia si trova il carrello. Da questo circuito escono due segnali:

- 1° - 0L430 - Questo segnale va a livello alto e vi rimane quando il carrello si trova tra la traccia "44" e la "76". Esso rimane a livello basso quando il carrello si trova tra la traccia "00" e la "43".
- 2° - PI760 - Questo segnale va a livello alto quando si arriva in traccia "76". Esso rimane a livello basso quando il carrello si trova tra la traccia "00" e la "75".

Il segnale 0L430 va sul circuito regolatore di tensione e tramite uno switch varia la tensione di riferimento del medesimo ai fini di ottenere una variazione della tensione d'uscita. Lo schema del circuito è indicato nella figura 99. Sono stati usati dei contatori binari avanti-indietro tipo SN74193.

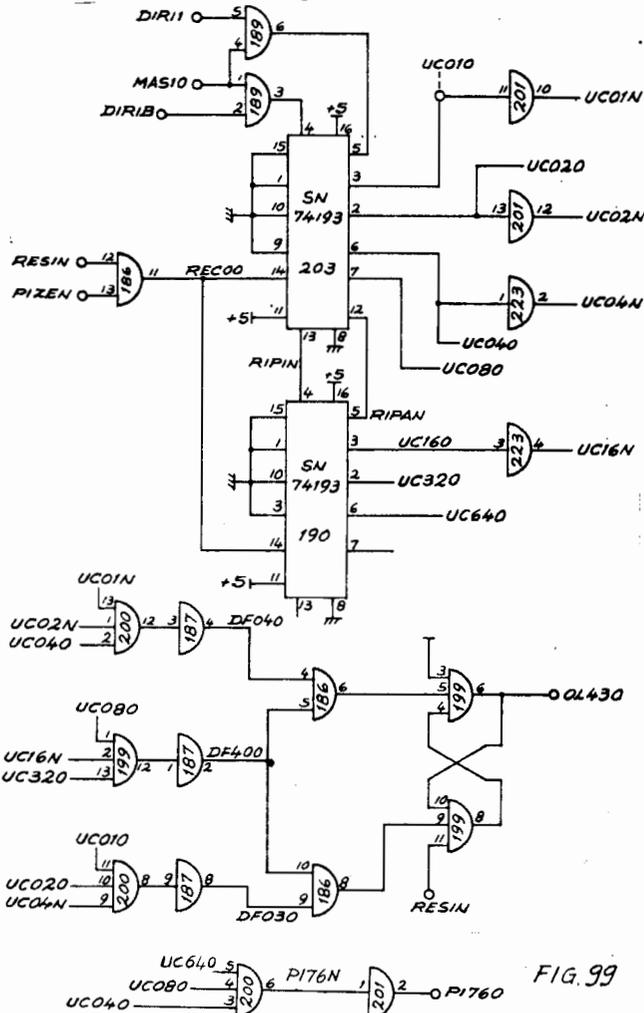


FIG. 99

Il clock di questo contatore é MAS10 che nasce dalla "logica blocco oltrecorsa". I condizionamenti per far contare avanti o indietro sono quelli che agiscono anche sul traslatore (DIR11, DIR1B). Questo contatore é resettato all'accensione (RESIN=0) e successivamente tutte le volte che il carrello arriva in traccia "00" (PIZEN=0). Questo accorgimento serve per fasare il contatore e il carrello tutte le volte che passano in traccia "00".

Il segnale 0L430 é l'uscita di un flip-flop che viene settato dal decodificato 44 (DF040 e DF400) e resettato dal decodificato 43 (DF400 e DF030).

Regolatore

Questo circuito é presente solo nelle prime 600 piastre di attuazione perciò é riportato solo qui di seguito.

La corrente di registrazione doveva essere di 5mA per le tracce comprese tra la "00" e la "43" (quelle piú esterne); la corrente deve essere invece ridotta a 4mA per le tracce comprese tra la "44" e la "76" (tracce piú interne).

Si osservi la figura 100.

Questo cambio di corrente corrisponde a un cambio di livello della tensione TERE0 (tensione di registrazione) e piú precisamente si avrá:

$$\text{TERE0} = 16 \text{ V per } I_{\text{reg.}} = 5 \text{ mA}$$

$$\text{TERE0} = 13 \text{ V per } I_{\text{reg.}} = 4 \text{ mA}$$

Il circuito che realizza questi due livelli di tensione é indicato in Fig. 101.

Il circuito é costituito da un regolatore di tensione VR01 (LM723) la cui tensione di riferimento viene variata modificando il valore di resistenza del partitore stesso.

Il partitore costituito dalle resistenze 171, 172, 183, 188, 293 determina la tensione di riferimento per una TERE0 di 13V.

Le resistenze 172 e 183 servono per la taratura del partitore. Per aumentare TERE0 e portarlo a 16 V é necessario inserire tra il riferimento del regolatore e la massa una resistenza che abbassi il riferimento stesso.

Questa operazione viene fatta dal transistor 086 il quale si satura e porta a massa la resistenza 137. In serie alla resistenza 137 ci sono 3 resistenze in parallelo (la 149 fissa, la 153 e la 164 di taratura).

Il transistor 086 é un IW 9680.

Questo transistor ha una V_{ce} di 8 mVolt, con una I_c di 2,5 mA e una I_b di 1,1 mA quindi l'influenza della giunzione sul partitore é trascurabile. Le resistenze 129 e 135 stabiliscono un punto di partizione a 15V. A questo punto é collegata la resistenza 123 che é la R di collettore del 7416 (il transistor finale del 7416 ha una V_{ce} max di 15V).

E' molto importante quando si fa la taratura della tensione di riferimento del regolatore operare nella seguente sequenza:

- 1 - Verificare che 0L430 sia a livello "1".
- 2 - regolare le R 172-183 fino ad ottenere TERE0 di 13V.
- 3 - mettere a massa il segnale 0L430.
- 4 - regolare le R153 - 164 fino ad ottenere TERE0 di 16V.

Operando in questo modo quando si fa la taratura per i 16V non si modifica quella relativa a 13V cosa che invece accade se si procede in maniera inversa.

9 - Circuito di selezione testina

Questo circuito lo abbiamo visto a pag. 24; nella versione vecchia mancano alcuni componenti (la R9 é la risultante di 3 resistenze mentre nella nuova vi sono 6 resistenze; il condensatore C6 non era montato); inoltre la tensione di alimentazione del circuito di cancellazione é TECA0 mentre nella versione nuova é TERE0.

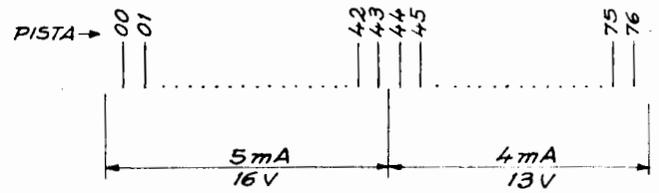


FIG.100

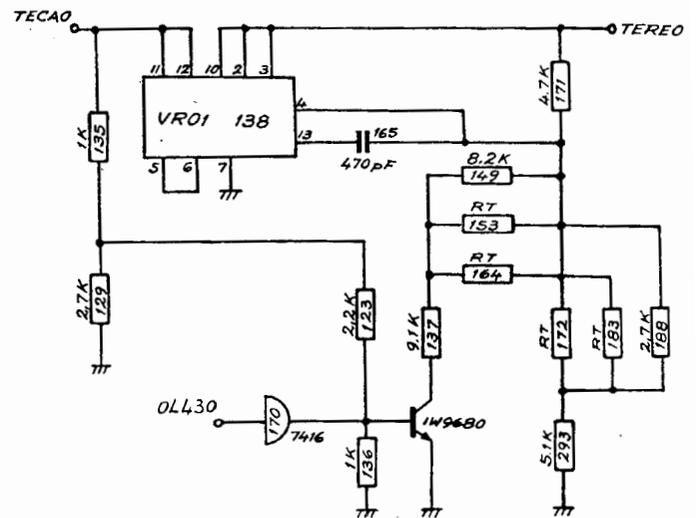


FIG 101

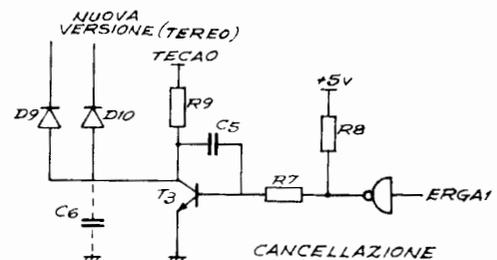


FIG.102

CONTROLLI E TARATURE

Ora esamineremo i controlli e le tarature che occorre effettuare quando si sostituiscono i componenti del circuito in cui la taratura è prevista.

Esaminiamo per primi i controlli e le tarature che interessano la "SEZIONE ATTUAZIONE". La procedura che diamo è riferita ad entrambi i tipi di piastre; ciò che è relativo alle prime 600 piastre lo indichiamo fra parentesi, occorre perciò usare gli schemi vecchi e nuovi.

1) CONTROLLO DELL'OSCILLATORE

- Forzare a massa il segnale VIRIA 192 (007) NED1/pin 5.
- Forzare a massa il segnale MCSLN 050 (242) NED2/pin 9.

A questo punto l'oscillatore dovrebbe funzionare. Verificare che il segnale OSCIO 056 (115) UNE2/pin 10 abbia l'andamento di figura 106.

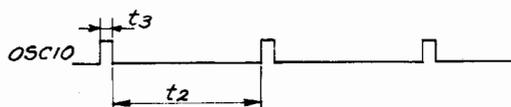


FIG. 106

- Verificare che il tempo t_3 sia compreso tra $10 \pm 20 \mu s$.
La taratura si effettua tramite la resistenza 096 - RX8(065 - RT9).
- Verificare che il tempo t_2 sia di $5 ms \pm 5\%$.
La taratura di effettua tramite la resistenza in parallelo 093 - RX7e 094 - RX6 (130-RT7 e 114-RT8).

Togliere da massa i collegamenti effettuati in precedenza.

2) CONTROLLO DELL'OSCILLATORE ALLA PARTENZA

Come sappiamo dal funzionamento (pag. 13) il motore passo-passo deve fornire una coppia di spunto più grande di quella che ha quando ormai è avviato.

Per far questo si controlla che tra il primo e il secondo impulso il tempo t_2 sia più grande dei t_2 successivi.

Per verificare questo occorre comandare da programma la ricerca di tracce successive in modo che il motore parta, si fermi, riparta e così via. Oppure si può controllare con l'oscilloscopio il segnale OSCIO mentre si mette, più volte consecutive, a massa il segnale VIRIA 192 (007) NED1/pin 5.

- Verificare che la forma d'onda di OSCIO 056 (115) UNE2/pin10 sia uguale a quella di figura 107.

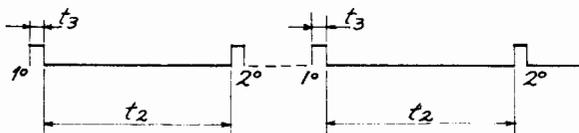


FIG. 107

Il tempo t_3 non varia.

- Verificare che il tempo t_2 , tra il primo e il secondo impulso dopo la partenza del motore sia ora di $6,5 ms \pm 5\%$.
- La taratura si effettua tramite le resistenze 102 - RX5 e 103 - RX4 (075 - RT5 e 066 - RT6).

3) CONTROLLO DELLA LOGICA DI LIMITAZIONE

Questo circuito l'avevamo visto a pagina 15. Anche in questo caso occorre comandare ricerche successive di tracce oppure mettere a massa alternativamente il segnale VIRIA 192 (007) NED1/pin 5.

- Verificare che il segnale NOLIN abbia l'andamento di figura 108.

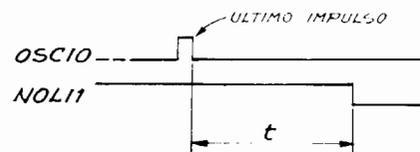


FIG. 108

Il tempo t tra l'ultimo impulso di OSCIO e la caduta di NOLI1 deve essere di $40 ms \pm 10\%$ ed è il tempo necessario in cui avviene il posizionamento preciso del motore alla fine della ricerca di una traccia.

La taratura si effettua tramite la resistenza 105 - RX9 (089 - RT10).

4) CONTROLLO DEL SEGNALE MALEN (Sezione L/R)

Verificare che all'uscita 06 MALEN dell'univibratore 214UNE1 vi siano degli impulsi di durata $180 \pm 220 ns$. Tarare il tempo tramite la resistenza 212 - R475 e il condensatore 213 - C006. (Verificare che all'uscita 10 MALEN dell'univibratore bi-direzionale 140 N8T20B vi siano degli impulsi di durata $180 \pm 220 ns$. Tarare il tempo tramite la resistenza 142 - R121 e il condensatore 141 - C006).

Di seguito esamineremo i controlli e le eventuali tarature che interessano il "CIRCUITO DISCRIMINATORE".

In particolare i controlli da 5 a 8 sono relativi al PL0: oscillatore bloccato in fase.

Questi controlli rispettano una successione logica pertanto se il tecnico ha intenzione di controllare il PL0 lo deve fare rispettando la successione indicata.

Infatti è inutile controllare la forma della rampa se prima non si è sicuri del valore della tensione $V_{S/2}$ oppure dell'amplificatore differenziale.

5) CONTROLLO DELLA TENSIONE VS/2 SUL GENERATORE DELLA TENSIONE DI RIFERIMENTO

Eseguire le seguenti verifiche:

- Tensione sul catodo del diodo zener 133 (126) - D039 uguale a $4,85 \pm 5,35V$.
- Tensione in base al transistor 178 (097) - Q005 = $1,7 \pm 1,9 V$.
- Tensione sull'armatura positiva del condensatore 139 (119) - C139 : $VS/2 = 2,4 \pm 2,6 V$.

6) CONTROLLO DELL'AMPLIFICATORE DIFFERENZIALE

- Forzare a massa l'uscita di set di LESI: 246JKE1/pin 06
- (Forzare a massa l'uscita di set di LESI: 042JKE2/pin 06).
- Forzare a massa il segnale ORLE1: 290 NED2/pin 10 (027 NED2/pin 12).
- Verificare che la tensione sul collector del transistor 183 (069) - Q010 sia di $12 \pm 13V$.

7) CONTROLLO DELL'OSCILLATORE V. F. 0. IN REGIME DINAMICO

- Togliere il collegamento a massa di ORLE1.
- Forzare a massa le uscite di set e reset di LESI: 246JKE1/pin 06, 08.
- (Forzare a massa le uscite di set e reset di LESI: 042JKE2/pin 06, 07).
- Forzare a massa il segnale ORLE1: 301 NED1/pin 12 (018NED1/pin 12)
- Verificare che sul condensatore 224 (059) - C030 vi sia il segnale di rampa che va da 0 a 5V in $2 \mu s$.

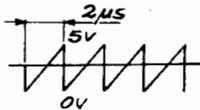


FIG.109

- Tarare il tempo tramite la resistenza 180(098) - RX2.
- Verificare che la rampa passi da 5V a 0V in 200 ns.



FIG.110

- Tarare il tempo agendo sulla costante RC dell'univibratore che genera VCOIN cioè la resistenza 154R475 e il condensatore 153 C006.
- (Tarare il tempo agendo sulla costante RC del ricevitore di linea tramite le resistenze 081R467 - 067R467 e il condensatore 294 C245).

8) CONTROLLO DELLA TENSIONE VC1 AL DI FUORI DELLA FASE DI LETTURA

- Forzare a massa il segnale VC011: 228 NES1/pin 05 (068 NES1/pin 03)

- Forzare a massa il segnale ORLE1: 301 NED1/pin 12 (018 NED1/pin12)
- Verificare che sull'armatura del condensatore 224 (059) - C030 vi sia una tensione di 2,5 V.
- Tarare la tensione tramite la resistenza 225 (054) - RX1.

Togliere da massa tutti i collegamenti inseriti in precedenza.

9) CONTROLLO DEL SEGNALE CEZEN

- Effettuare delle letture
- Verificare che l'uscita 09 CEZEN dell'univibratore 296 (046) UNE2 sia a 0 logico per $3,1 \mu s$.

La taratura si può effettuare agendo sulla costante RC dell'univibratore cioè tramite la resistenza 299 (052) - RX3.

10) CONTROLLO DEL SEGNALE ABMAN

- Questo segnale é presente solo sulle piastre più recenti
- Verificare che l'uscita 09 ABMAN dell'univibratore 190 UNE2 stia a 0 per $1 \mu s$.

ALI 161 - CARATTERISTICHE GENERALI

- Tensioni di rete ammesse sull'ALI 161.

L'ALI 161 può essere adattato collegando opportunamente il trasformatore alle seguenti tensioni di rete:

100V,	50Hz	100V,	60Hz
125V,	50Hz	115V,	60Hz
220V,	50Hz	220V,	60Hz

La tolleranza ammessa sul valore di tensione é di +10%, -15%.
La potenza massima assorbita é di 170 VA.

In funzione della tensione di rete occorre provvedere al collegamento adatto del primario, del secondario, dell'avvolgimento di risonanza del trasformatore del motore sincrono e della ventola del trasformatore come indicato nella tabella di figura 111.

- Tensione di condizionamento del +5 e del +20

La tensione +5 dell'ALI 161 e di conseguenza la tensione +20 (che é a sua volta condizionata dal +5) é condizionata dalla tensione PIU5A (+5 fornito da Unità Centrale).

Se si avvia l'ALI 161 in assenza del PIU5A o se viene a mancare anche per un breve periodo la tensione PIU5A occorre disattivare e riattivare successivamente l'ALI 161 per ripristinare le tensioni.

- Tensioni alternate fornite dall'ALI 161

L'ALI 161 fornisce le tensioni 115V/50 Hz o 115V/60Hz (a seconda che sia alimentato a 50 o a 60 Hz) per alimentare una ventola ed il motore sincrono dell'F. D. U.

Nella figura 111 vi é lo schema complessivo dell'alimentatore (fogli 1 e 2 degli schemi); in esso sono indicati i collegamenti tra i vari punti (si osservi la tabella) i connettori e alcuni blocchi per indicare la funzione svolta dalle varie parti del circuito.

Il disegno di montaggio dell'alimentatore é invece in figura 117.

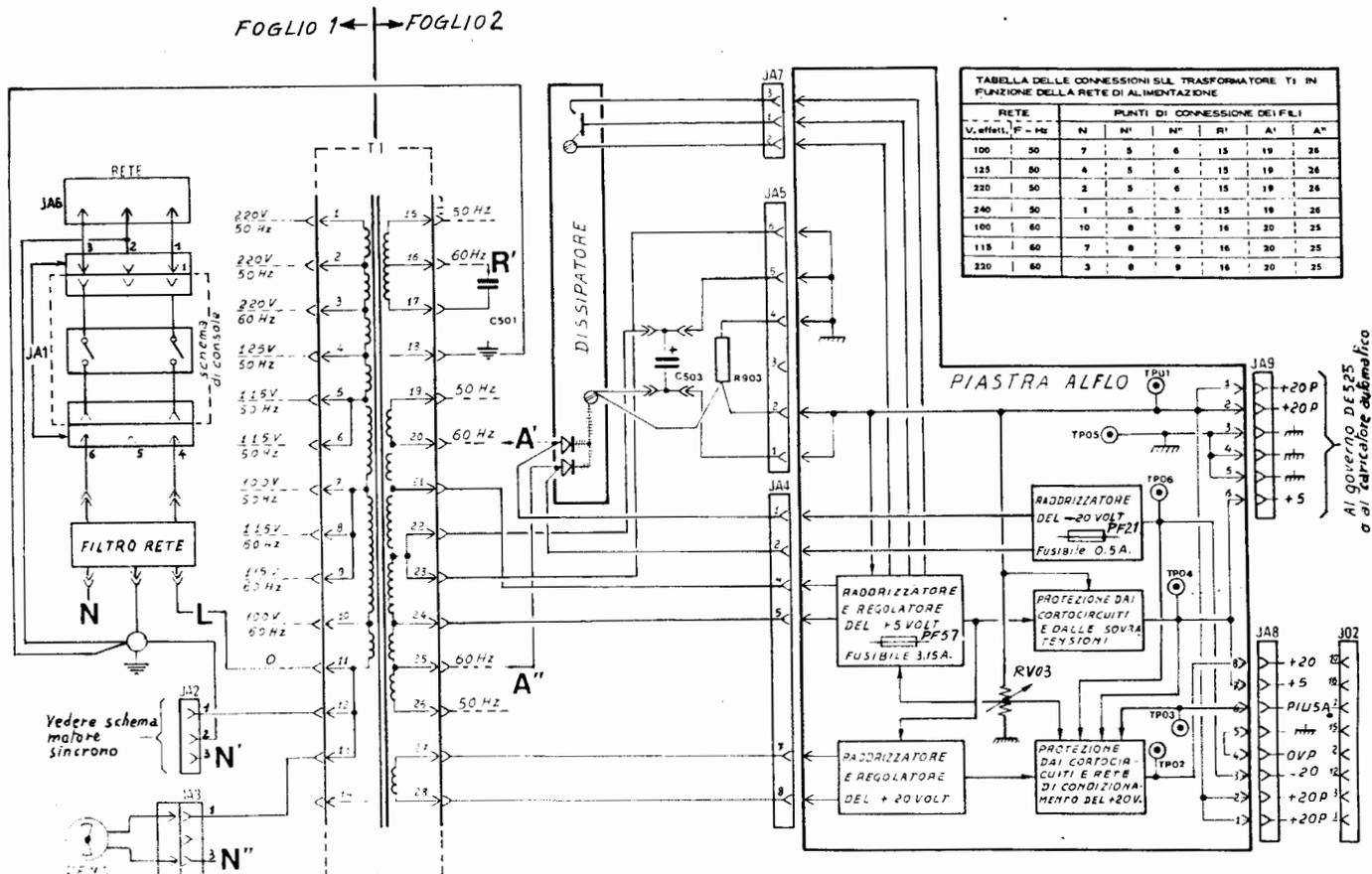


FIG.111

- Tensioni continue

La tabella riporta le caratteristiche delle tensioni continue fornite dall'ALI 161. Le tensioni +20P e +5 sono anche disponibili per alimentare dispositivi diversi dall'FDU, come ad esempio il governo per DE525.

NOME SEGN.	TENS. (V)	TOLL. (%)	CORRENTE		CARATTERISTICHE
			MAX (A)	MIN (A)	
+ 20	20	± 5	0,3	0,3	<ul style="list-style-type: none"> - Stabilizzazione a circuiti integrati - Temporizzata alla salita e alla caduta - L'eventuale mancata temporizzazione causa difetti saltuari in lettura. - La presenza della tensione é condizionata direttamente dai valori delle tensioni +5V, PIU5A e dallo stesso +20; indirettamente dalle tensioni +20P e -20. <p>Con l'abbassamento oltre i limiti di tolleranza di queste tensioni il +20V cade e per ripristinarlo occorre disattivare e riattivare l'ALI 161.</p> <ul style="list-style-type: none"> - Protezione dai circuiti.
+ 20P (+20 di potenza)	20	± 10	3,5	1,5	<ul style="list-style-type: none"> - Stabilizzazione a ferro saturo - Sopporta i corto circuiti.
- 20	-20	± 10	0,15	0,15	<ul style="list-style-type: none"> - Stabilizzazione a ferro saturo - Fusibile da 0,5 A.
+ 5	5	± 1	1,5	0,8	<ul style="list-style-type: none"> - Stabilizzazione a circuiti integrati - Livello regolabile con potenziometro - Protezione con fusibile da 3,15 A - Protezione elettronica dai cortocircuiti e dalle sovratensioni <p>Nel caso sia intervenuta la protezione dalle sovratensioni occorre disattivare e riattivare dopo almeno due secondi l'ALI 161.</p>
<p>Questa tensione deve essere regolata tra 4,95 e 5,05V; per il controllo occorre utilizzare uno strumento di precisione di classe 0,5 (preferibilmente un voltmetro digitale).</p>					

FIG.112

Come si può vedere nello schema a blocchi, l'alimentatore dà quattro tensioni in uscita: +5V, +20V, -20V, +20P.

Di seguito esamineremo i circuiti elettrici che generano queste tensioni studiando di ciascuno le eventuali protezioni.

RADDRIZZATORE E REGOLATORE DEL +5V; PROTEZIONE DAI CORTOCIRCUITI E DALLE SOVRATENSIONI

In figura 113 c'è il circuito del +5V; la parte di circuito disegnato con linea più pesante é quella che prendiamo in considerazione nella spiegazione. Tra i punti 21 e 24 del secondario del trasformatore c'è una tensione alternata di circa 7,5V. Questa tensione viene raddrizzata dai due diodi D008 e filtrata dal condensatore C276.

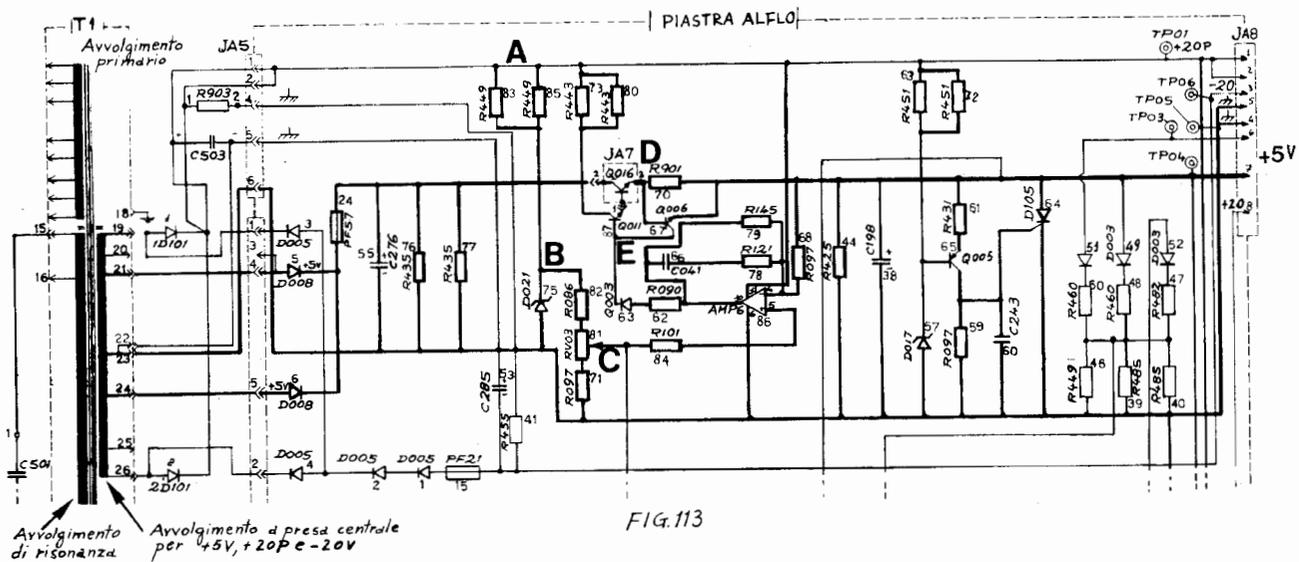
La stabilizzazione della tensione si effettua controllando la conduzione del transistor Q016. Si può infatti notare che l'elemento base della stabilizzazione é l'amplificatore operazionale AMP6; Vediamo cosa giunge sugli ingressi 4 e 5.

Dal punto A si preleva la tensione +20P (+20V di potenza) che viene poi suddivisa da un partitore di tensione (resistenze R449//R449 e diodo D021). Dal punto B la tensione viene poi mandata sul potenziometro RV03 che a sua volta é collegato all'ingresso 5 non invertente dell'amplificatore operazionale; questa tensione serve come riferimento.

L'ingresso 4, invertente, é invece collegato all'uscita del +5V. Supponiamo che la tensione +5V ad un certo momento diminuisca di valore; se all'ingresso 4 la tensione si abbassa l'uscita 10 sale ad un valore più alto e, di conseguenza, i transistor Q011 e Q016 aumentano la loro conduzione. In tal modo diminuisce la caduta di Q016 facendo così aumentare la tensione all'uscita +5V in modo da riportarla al valore corretto.

Il comportamento del circuito é opposto se la tensione +5V tende ad aumentare sull'ingresso 4; in tal caso aumenta la caduta di Q016 per diminuire la tensione d'uscita.

Il livello della tensione +5V è regolabile con il potenziometro RV03 (punto C) che va ad agire sulla tensione dell'ingresso 5 dell'amplificatore differenziale. Vediamo ora come agisce la protezione contro i cortocircuiti. Nel punto D si rileva la sovracorrente provocata da un cortocircuito; controllando infatti la caduta di tensione ai capi della resistenza R901 (0,3Ω) si può stabilire se c'è una sovracorrente. Se aumenta la corrente richiesta, aumenta di conseguenza la caduta di tensione sulla resistenza R901; la tensione nel punto D diventa perciò più alta in modo da mettere in conduzione Q006. Il punto E passa perciò ad un valore di tensione più basso in modo da bloccare la conduzione di Q011 e Q016 annullando così la tensione +5V. La protezione contro le sovratensioni si effettua tramite l'SCR, D105 che ha l'ingresso di gate controllato dall'uscita di collector del transistor Q005 (punto F). Sulla base di Q005 c'è la tensione di 5,1V data dal diodo zener D017; quando si verifica un aumento di tensione tale da portare l'uscita a circa 6V, il transistor Q005 entra in conduzione, in tal modo il punto F (ingresso di gate dell'SCR) passa ad un potenziale tale da innescare D105 che cortocircuita a massa il +5V. In tal modo i circuiti utilizzatori non sono alimentati con tensioni troppo alte e quindi pericolose per il loro funzionamento.



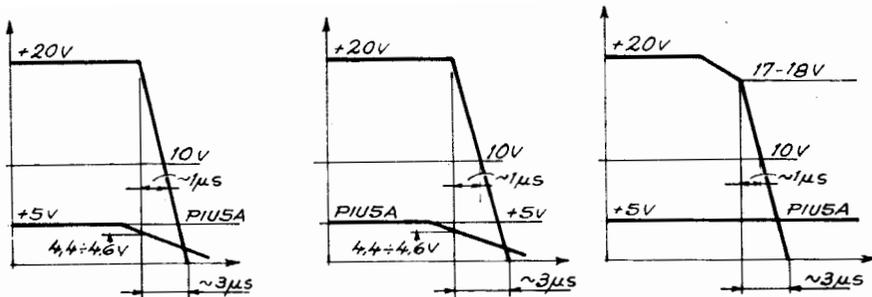
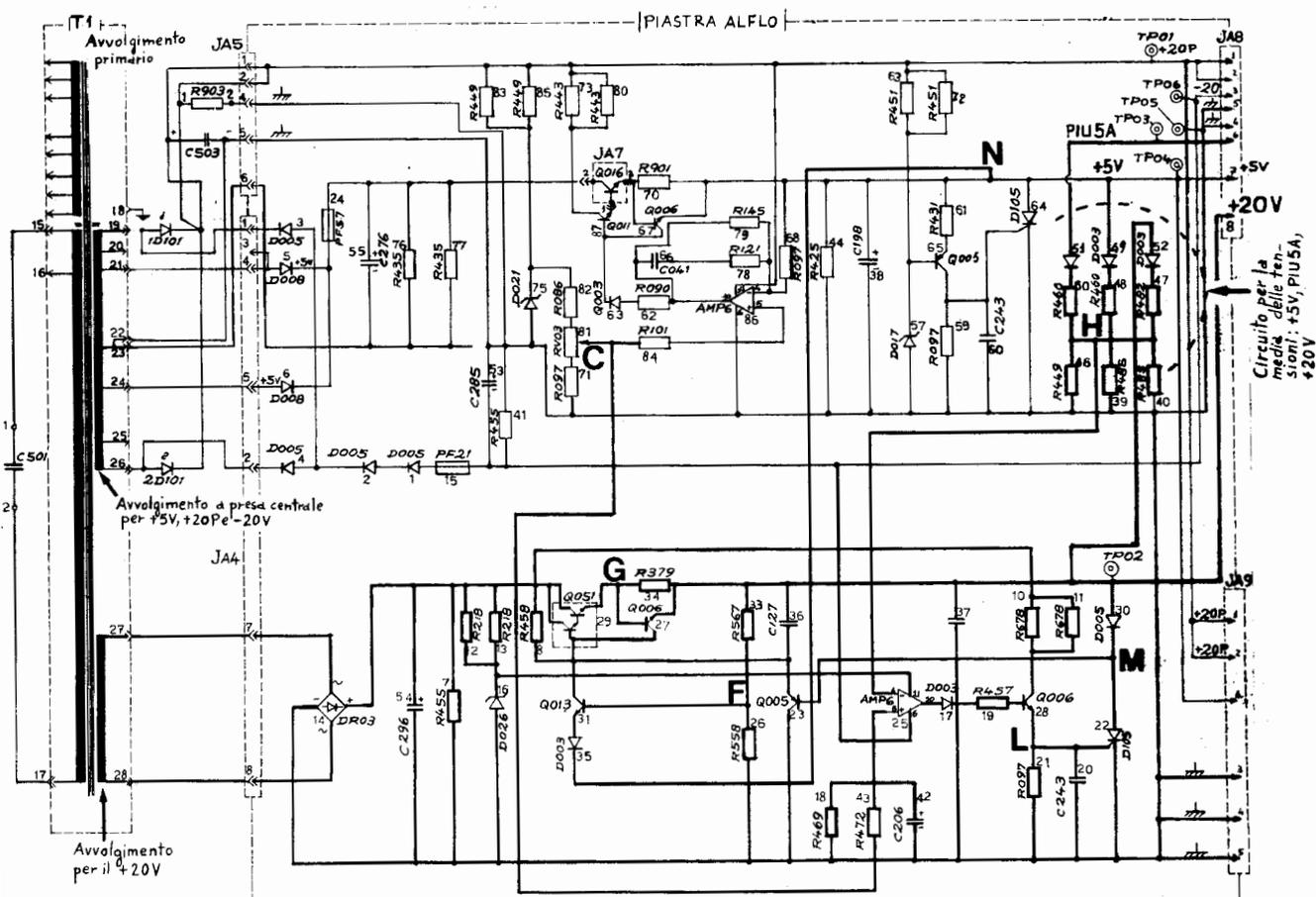


FIG.114

Si può notare che quando si abbassa una delle 3 tensioni oltre il valore critico ($4,4 \pm 4,6V$ per +5V e PIU5A; 17:18 V per +20V) la tensione +20V scende a 10V nel tempo di $\sim 1\mu s$ e va a 0V in circa $3\mu s$.
 Le variazioni delle tre tensioni vengono rilevate tramite un circuito, all'interno della rete di condizionamento, che fa la media dei tre valori. La tensione del nodo H viene mandata sull'ingresso invertente 4 dell'amplificatore operazionale AMP6; questa tensione viene confrontata con quella dell'ingresso 5 che è fissa e proviene dal punto C del potenziometro RV03: indirettamente essa è legata alla tensione +20P che alimenta il potenziometro stesso. La tensione di alimentazione negativa dell'amplificatore operazionale è il -20V.
 Quando una delle tre tensioni esce dal suo limite di tolleranza, si verifica uno squilibrio nella media delle tensioni che dal nodo H va sull'ingresso 4 dell'amplificatore operazionale. Sull'uscita 10 si ha una tensione positiva tale da mettere in conduzione il transistor Q006; in tal modo l'ingresso di gate dell'SCR D105 (punto L) diventa positivo e fa innescare il D105 che cortocircuita a massa il +20V.
 Il punto M va a circa 0V e così viene messo in conduzione il transistor Q005 che a sua volta agisce in base di Q051 bloccandogli la conduzione; la tensione +20V viene così annullata.
 Anche l'uscita del +20V può essere regolata tramite il potenziometro RV03; infatti con RV03 si regola la tensione +5V; il +5V (punto N) è collegato all'emitter del transistor Q013 quindi le variazioni sul +5 si riflettono sulla conduzione di Q013 e di conseguenza di Q051. Indirettamente perciò la tensione del +20V è regolabile con RV03 e si mantiene un legame tra +5V e +20V.



RADDRIZZATORE DELLA TENSIONE +20P e -20V

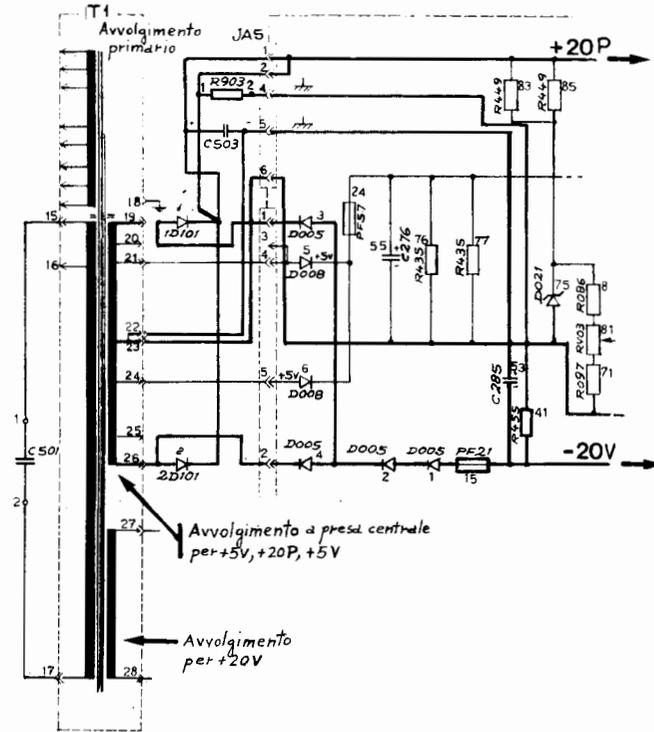


FIG.116

La tensione +20P é così chiamata per distinguerla dall'altro +20V; la lettera P stá come abbreviazione di Potenza in quanto questa tensione é di +20V e può fornire 3,5A di corrente. Questa potenza é necessaria per alimentare il motore passo-passo, gli elettromagneti di carica testina ed eventualmente il governo per DE525 e il caricatore automatico di dischi. I due diodi D101 raddrizzano questa tensione prelevandola dall'avvolgimento a presa centrale; la tensione viene poi filtrata dal condensatore C503. La stabilizzazione é a ferro saturo; infatti il trasformatore ha un avvolgimento di risonanza che é collegato al condensatore C501. Il circuito del -20V preleva la tensione dal secondario negli stessi punti del +20P; la tensione alternata viene raddrizzata da due diodi D005 (il 3 e il 4) e filtrata dal condensatore C285. Il -20V ha come protezione il fusibile PF21 di 0,5A.

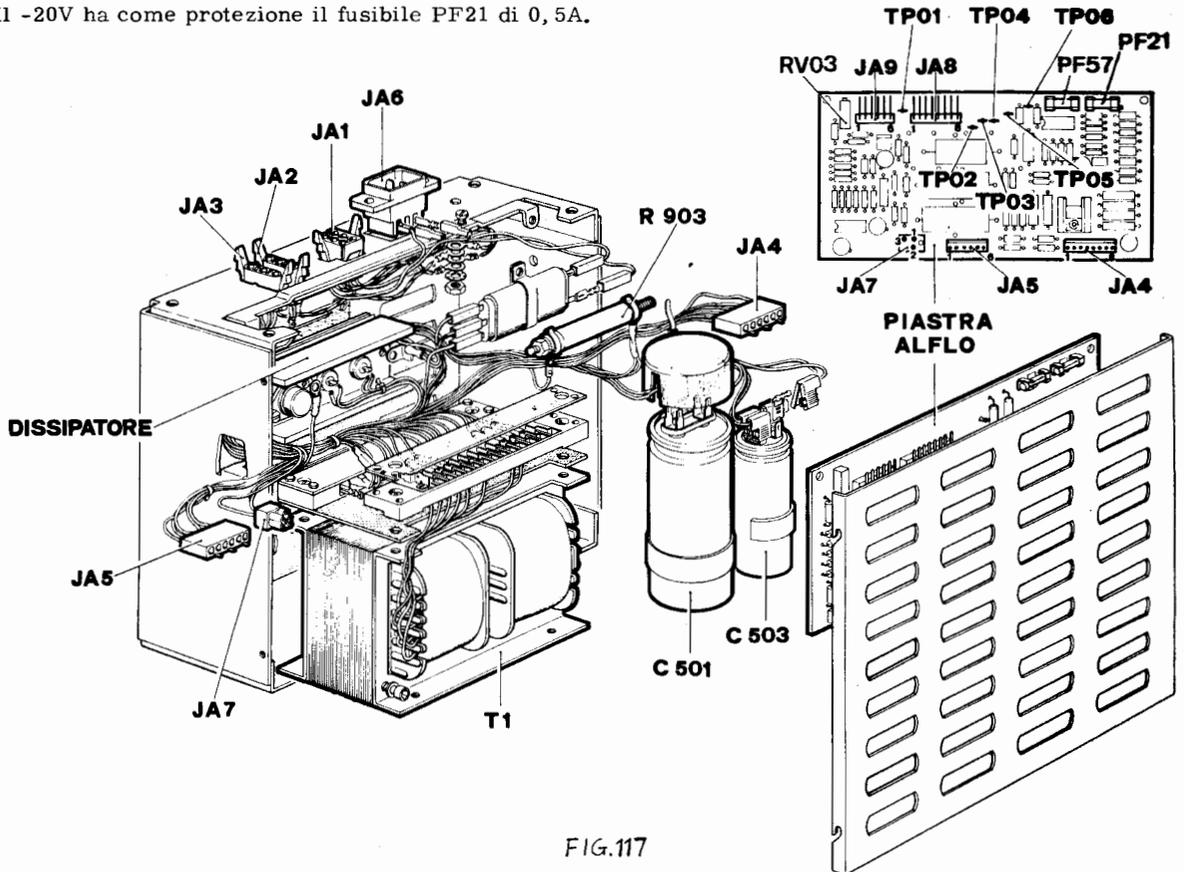


FIG.117

CHIAVE DEI SIMBOLI IMPIEGATI SULLA DOCUMENTAZIONE LOGICA

In questa sezione diamo le caratteristiche dei circuiti integrati usati sull'FDU; per questo utilizziamo i simboli standard della "SIMBOLOGIA LOGICA PER LA DOCUMENTAZIONE DEI PRODOTTI ELETTRONICI". Se è importante aggiungiamo una breve descrizione del funzionamento dei circuiti integrati per come sono stati utilizzati nella logica dell'FDU.

Abbiamo tralasciato di riportare alcuni circuiti integrati (ad esempio JKE2, NED1, ecc.) in quanto ne riteniamo scontata l'interpretazione.

A causa di problemi di normalizzazione il plotter disegna i circuiti con il numero d'ingressi come in figura, in effetti l'AMPA è un circuito integrato realizzato con un contenitore a 8 pin. Sui fogli informativi (data sheet) la numerazione dei pin è quindi diversa da quella scritta dal plotter: noi tra parentesi abbiamo scritto i numeri relativi ai fogli informativi.

MODALITA' OPERATIVE (riferite alla numerazione dei fogli informativi)

La tensione di riferimento è sull'ingresso 02 (non invertente)

La tensione da confrontare è sull'ingresso 03 (invertente).

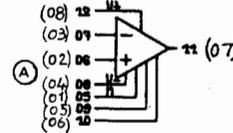
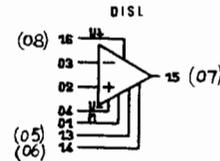
Se la tensione da confrontare è inferiore o uguale a quella di riferimento l'AMPA ha l'uscita 07=1. Se la tensione da confrontare è superiore a quella di riferimento, l'AMPA ha l'uscita 07=0

olivetti Simbologia logica per la documentazione dei prodotti elettronici nome funzione
AMPA

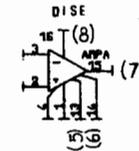
denominazione	codice magazzino
IC ANALOGICO AMPL. COMPARATORE	4863610 W

sigla	disegno MOCO	alimentazione		piedini		**	ZZ
LM 311 N	583	M 00	T 00	passo (mils)	numero		
				300	8		

piedini	descrizioni
01	Massa
02	Ingresso non invertente
03	Ingresso invertente
04	Tensione alimentaz. negativa
05	Massa
06	Ingresso non invertente
07	Ingresso invertente
08	Tensione alimentaz. negativa
09	Compensazione
10	Compensazione Strobe
11	Uscita
12	Tensione alimentaz. positiva
13	Compensazione
14	Compensazione Strobe
15	Uscita
16	Tensione alimentaz. positiva



NOTA:
Ciascuna sezione è costituita da un C.I. DIL 8 piedini, consultare il disegno MOCO 583

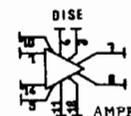
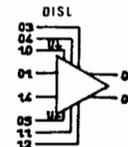


olivetti Simbologia logica per la documentazione dei prodotti elettronici nome funzione
AMPB

denominazione	codice magazzino
IC ANALOGICO AMPL. VIDEO	4853033 D

sigla	disegno MOCO	alimentazione		piedini		**	ZZ
733	500	M 00	T 00	passo (mils)	numero	02	
1733						06	
						09	
						13	

piedini	descrizioni
01	Ingresso A1
02	**
03	Ingresso G2B
04	Ingresso G1B
05	Tensione alimentaz. negative
06	**
07	Uscita Q1
08	Uscite Q0
09	**
10	Tensione alimentaz. positive
11	Ingresso G1A
12	Ingresso G2A
13	**
14	Ingresso A0



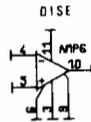
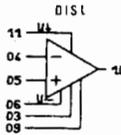
L'amplificatore ha reti di reazioni interne per fornire guadagni fissi di 10, 100 e 400. I collegamenti da fare per i tre guadagni sono i seguenti:

- GUADAGNO 10 : ingressi 03, 04, 11 e 12 aperti
- " 100: collegare tra loro gli ingressi 12 e 03
- " 400: collegare tra loro gli ingressi 11 e 04.

denominazione	codice magazzino
IC ANALOGICO AMPL. OPERAZ. COMPENSATO	4841515 L

sigla	disegno MOCO	alimentazione		passo (mils)	numero	**	ZZ
L 141	500	M 00	T 00	300	14		
741							
						01	
						02	
						07	
						08	
						12	
						13	
						14	

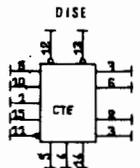
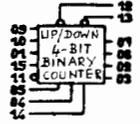
pin	descrizioni
01	**
02	**
03	Compensazione
04	Ingresso invertente
05	Ingresso non invertente
06	Tensione alimentaz. negativa
07	**
08	**
09	Compensazione
10	Uscita
11	Tensione alimentaz. positiva
12	**
13	**
14	**



denominazione	codice magazzino
IC MSI TTL CONTATORE BIN. 4 BIT AV. IN.	4862265 R

sigla	disegno MOCO	alimentazione		passo (mils)	numero	**	ZZ
74193	502	M 08	T 16	300	16		

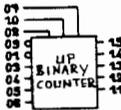
pin	descrizioni
01	Ingresso parallelo P1 peso 2
02	Uscita parallelo Q1 " 2
03	Uscita parallelo Q0 " 1
04	Clock conta indietro CPD
05	Clock conta avanti CPU
06	Uscita parallelo Q2 peso 4
07	Uscita parallelo Q3 " 8
08	Massa
09	Ingresso parallelo P3 peso 8
10	Ingresso parallelo P2 " 4
11	Abilitazione Preset PE
12	Fine conta avanti TCU
13	Fine conta indietro TCD
14	Master-Reset MR
15	Ingresso parallelo P0 peso 1
16	Tensione alimentazione



denominazione	codice magazzino
IC MSI TTL CONTATORE BIN. 4 BIT	4862208 U

sigla	disegno MOCO	alimentazione		passo (mils)	numero	**	ZZ
74161	502	M 08	T 16	300	16		

pin	descrizioni
01	Master-Reset MR
02	Clock T
03	Ingresso parallelo P0
04	Ingresso parallelo P1
05	Ingresso parallelo P2
06	Ingresso parallelo P3
07	Abilitazione conta CET
08	Massa
09	Abilitazione Preset PE
10	Abilitazione conta CET
11	Uscita parallelo Q3
12	Uscita parallelo Q2
13	Uscita parallelo Q1
14	Uscita parallelo Q0
15	Fine conta TC
16	Tensione alimentazione



Ingressi			Funzionamento
PE	CET	CET	
L	L	L	Preset
L	L	H	"
L	H	L	"
L	H	H	"
H	L	L	Non commuta
H	L	H	"
H	H	L	"
H	H	H	Conta

Modalità operative

- Carico in parallelo: con l'abilitazione 09=0, alla salita del clock 02 viene caricata la configurazione presente sugli ingressi 03+06.
- Conta: il clock 02 conta ad ogni salita con le seguenti abilitazioni contemporaneamente a 1 : 07-09-10.
- Riporto : l'uscita di riporto 15 é disponibile (15=1) quando il contatore é in configurazione "tutti 1" contemporaneamente all'abilitazione 10 = 1.
- Azzeramento : il contatore viene azzerato (configurazione, "tutti 0") con 01 = 0.

Ingressi				Funzionamento
MR	PE	CPU	CPD	
H	X	X	X	Preset
L	L	X	X	"
L	H	H	H	Non commuta
L	H	CP	H	Conta avanti
L	H	H	CP	Conta indietro

CP = Impulso clock

Modalità operative

- Carico in parallelo: con l'abilitazione 11 = 0, alla salita del clock 05/04 viene caricata la configurazione presente sugli ingressi 15 + 09.
- Conta: il contatore evolve (avanti/indietro) con le salite del clock (05/04).
- Riporto: le uscite di riporto 12 e 13 vanno a 0 quando il contatore raggiunge rispettivamente le configurazioni "tutti 1" e "tutti zero".
- Azzeramento: il contatore viene azzerato (configurazione "tutti 0") con 14 = 1.

olivetti

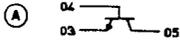
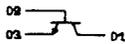
Simbologia logica per la documentazione dei prodotti elettronici

nome funzione
KQ01
KQ02

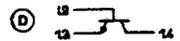
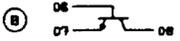
denominazione					codice magazzino	
IC MONOLITICO 5 TRANS. NPN					4868245 H	

sigla	disegno MOCO	alimentazione		piedini		**	ZZ
KQ01	500	M 00	T 00	300	14		

KQ01



KQ02



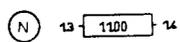
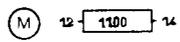
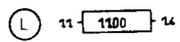
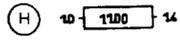
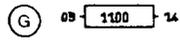
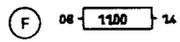
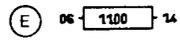
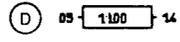
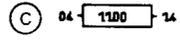
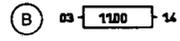
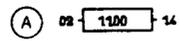
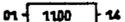
olivetti

Simbologia logica per la documentazione dei prodotti elettronici

nome funzione
KR07

denominazione					codice magazzino	
IC IBRIDO RETE RESISTORI 12X1100					4868991 L	

sigla	disegno MOCO	alimentazione		piedini		**	ZZ
KR07	500	M 00	T 00	300	14		07



olivetti

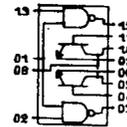
Simbologia logica per la documentazione dei prodotti elettronici

nome funzione
LDP2

denominazione					codice magazzino	
IC INTERFACCIA 2 TRASM. LINEA					4863450 W	

sigla	disegno MOCO	alimentazione		piedini		**	ZZ
75450	500	M 07	T 14	300	14		

piedini	descrizioni
01	Ingresso G
02	Ingresso 1A
03	Uscita 1Y
04	Uscita 1B
05	Uscita 1C
06	Uscita 1E
07	Massa
08	Substrato
09	Uscita 2E
10	Uscita 2C
11	Uscita 2B
12	Uscita 2Y
13	Ingresso 2A
14	Tensione alimentazione



Questo circuito è un doppio circuito di pilotaggio per interfaccia che viene impiegato con logica TTL o DTL.

olivetti

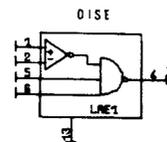
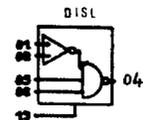
Simbologia logica per la documentazione dei prodotti elettronici

nome funzione
LRE1

denominazione					codice magazzino	
IC INTERFACCIA 2 RIC. LINEA					4863500 F	

sigla	disegno MOCO	alimentazione		piedini		**	ZZ
75107	500	M 07	T 14	300	14		03 10

piedini	descrizioni
01	Ingresso non invertente
02	Ingresso invertente
03	**
04	Uscita
05	Segnale di Strobe
06	Segnale di Strobe comune
07	Massa
08	Segnale di Strobe
09	Uscita
10	**
11	Ingresso invertente
12	Ingresso non invertente
13	Tensione alimentaz. negativa
14	Tensione alimentaz. positiva



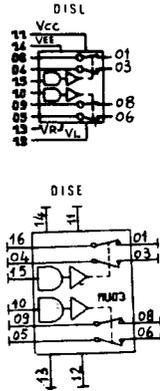
Questo circuito è progettato per rilevare segnali di 25mV (o più grandi) d'ampiezza e trasformarli in livelli logici compatibili con i circuiti TTL. Ciascuna sezione del chip 75107 amplifica, squadra e temporizza i segnali d'ingresso, fornendo un segnale alle uscite 04 e 09. Infatti ogni ricevitore è costituito da un amplificatore operazionale e da una porta d'uscita. Ogni ricevitore ha due ingressi di strobe di cui uno (06) è comune con l'altro ricevitore.

Quando l'ingresso 01 (+) diventa più positivo dello 02 (-) l'uscita 04 va a 1; così quando il 12 (+) diventa più positivo dell'11 (-) l'uscita 09 va a 1.

Se l'ingresso 02 (-) diventa più positivo dello 01(+) l'uscita 04 va a 0 se entrambi gli strobe 05 e 06 sono a livello 1.

In modo analogo si comporta l'uscita 09 per l'altra sezione.

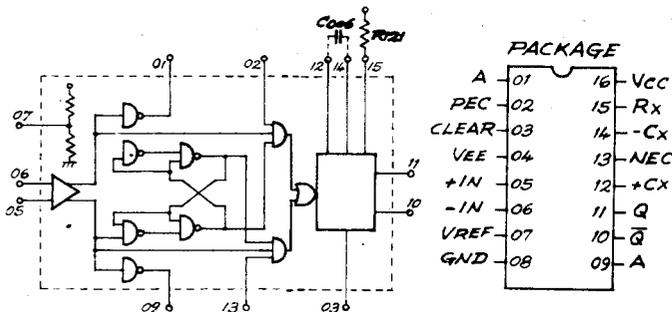
denominazione		codice magazzino	
IC SSI C/MOS SWITCH DRIVER		4863804 U	
sigla	disegno MOCO	piedini	
DG 191	502	alimentazione	numero
		M 00 T 00	02
		passo (mils)	07
		300	16



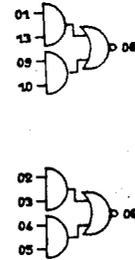
Il DG 191 è un circuito di pilotaggio a due canali ad alta velocità. Esso è progettato per funzionare come doppio interruttore. La posizione degli interruttori in figura è riferita agli ingressi 15 e 10 con valore logico 1. Infatti in questo caso sono aperti gli interruttori tra 04 - 03, 05 - 06 mentre sono chiusi tra 16 - 01 e 09 - 08.

N8T20 E (prodotto dalla SILICONIX)

Questo circuito è un univibratore bi-direzionale che è stato montato sulle prime 600 piastre. Poiché non lo si è più utilizzato esso non è stato codificato con un suo nome-funzione. La sua funzione è di zero-cross detector cioè di dare un impulso in uscita quando il segnale in ingresso passa per lo zero. La durata dell'impulso viene data dalla resistenza R121 e dal condensatore C006 che sono collegati esternamente al package. I collegamenti dei pin si possono osservare sullo schema elettrico della lettura.

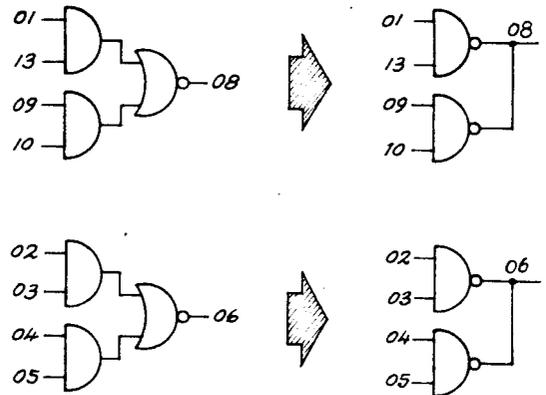


denominazione		codice magazzino	
IC SSI TTL 2 AND/OR 2 INGRESSI		4843054 T	
sigla	disegno MOCO	piedini	
T 105	9005	alimentazione	numero
		M 07 T 14	11
		passo (mils)	12
		300	14



Modalità operative

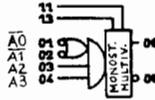
Ogni circuito NEA4 si comporta come due porte NAND in WIRED - OR:



denominazione: IC MSI TTL MULTIVIBRATORE
codice magazzino: 4841598 Z

sigla	disegno MOCO	piedini				**	ZZ
		alimentazione	passo (mils)	numero			
T 118						05	
9601	500	M 07	T 14	300	14	09	
						10	
						12	

piedini	descrizioni
01	Ingresso attivo basso A0
02	Ingresso attivo basso A1
03	Ingresso attivo alto A2
04	Ingresso attivo alto A3
05	ZZ
06	Uscita complementare \bar{Q}
07	Massa
08	Uscita Q
09	ZZ
10	ZZ
11	Collegamento C esterna
12	ZZ
13	Collegamento R esterna
14	Tensione alimentazione



Ingressi				Funzionamento
A0	A1	A2	A3	
H	L	H	H	T
H	H	L	H	T
L	X	L	H	T
X	L	L	H	T
L	X	H	L	H
X	L	H	L	H

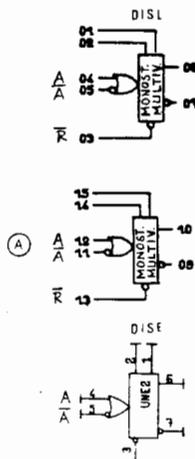
T=trigger

Si può notare che gli ingressi 01, 02 fanno partire il multivibratore monostabile quando passano da 1 a 0 mentre gli ingressi 03, 04 lo fanno partire quando passano da 0 a 1. La durata dell'impulso dipende dalla resistenza e dal condensatore collegati tra gli ingressi 11 e 13.

denominazione: IC MSI TTL 2 MULTIVIBRATORI
codice magazzino: 4861020 L

sigla	disegno MOCO	piedini				**	ZZ
		alimentazione	passo (mils)	numero			
9602	502	M 08	T 16	300	16		

piedini	descrizioni
01	Collegamento C esterna
02	Collegamento R esterna
03	Reset attivo basso \bar{R}
04	Ingresso attivo alto A
05	Ingresso attivo basso \bar{A}
06	Uscita Q
07	Uscita complementare \bar{Q}
08	Massa
09	Uscita complementare \bar{Q}
10	Uscita Q
11	Ingresso attivo basso \bar{A}
12	Ingresso attivo alto A
13	Reset attivo basso \bar{R}
14	Collegamento R esterna
15	Collegamento C esterna
16	Tensione alimentazione



Ingressi			Funzionamento
\bar{A}	A	\bar{R}	
H	L	H	T
H	L	H	T
X	X	L	Reset

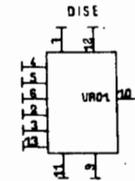
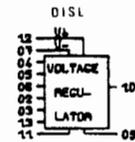
T=trigger

In questi multivibratori monostabili gli ingressi 04 e 12 sono attivi quando passano da 0 a 1 mentre gli ingressi 05 e 11 sono attivi quando passano da 1 a 0. Questi multivibratori monostabili sono anche ritriggerabili: ciò significa che se il segnale d'ingresso ha un ciclo più breve dell'impulso d'uscita il multivibratore riparte sempre senza poter terminare il ciclo. La durata dell'impulso è determinata dai valori della resistenza e del condensatore connessi agli ingressi 01, 02 o 14, 15.

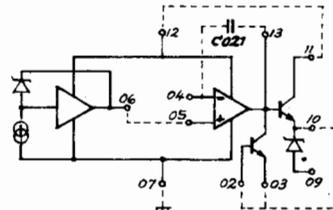
denominazione: IC REGOLATORE TENSIONE
codice magazzino: 4841523 U

sigla	disegno MOCO	piedini				**	ZZ
		alimentazione	passo (mils)	numero			
723						01	
	500	M 00	T 00	300	14	08	
						14	

piedini	descrizioni
01	**
02	Limitazione di corrente
03	Rilevazione di corrente
04	Ingresso invertente
05	Ingresso non invertente
06	Tensione di riferimento
07	Tensione alimentaz. negativa
08	**
09	Uscita tensione di zener
10	Tensione regolata
11	Tensione da regolare
12	Tensione di alimentazione positiva
13	Compensazione
14	**



Sull'FDU questo circuito viene usato come regolatore di una tensione positiva; per maggior comprensione forniamo di seguito lo schema interno del regolatore.



Le linee tratteggiate tra i vari pin rappresentano i collegamenti esterni per far lavorare il VR01 come regolatore di tensione positiva; anche il condensatore C021 è esterno.